

# EXEMPLE DE MACHINE À ETAT DANS UN SYSTÈME À TROIS CIBLES

Fabien Marco INSA Rennes

Présentation

FPGA

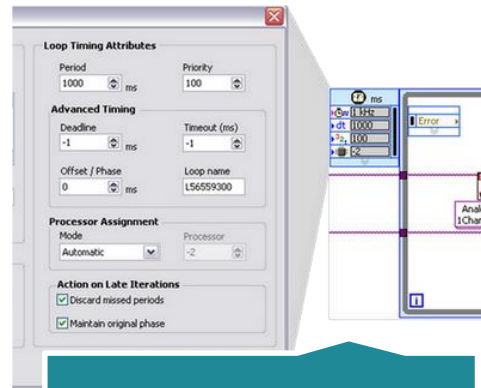
Temps réel

PC supervision

## Partage d'information entre ses trois cibles



FPGA



Temps Réel



Pc de Supervision

Machine à état

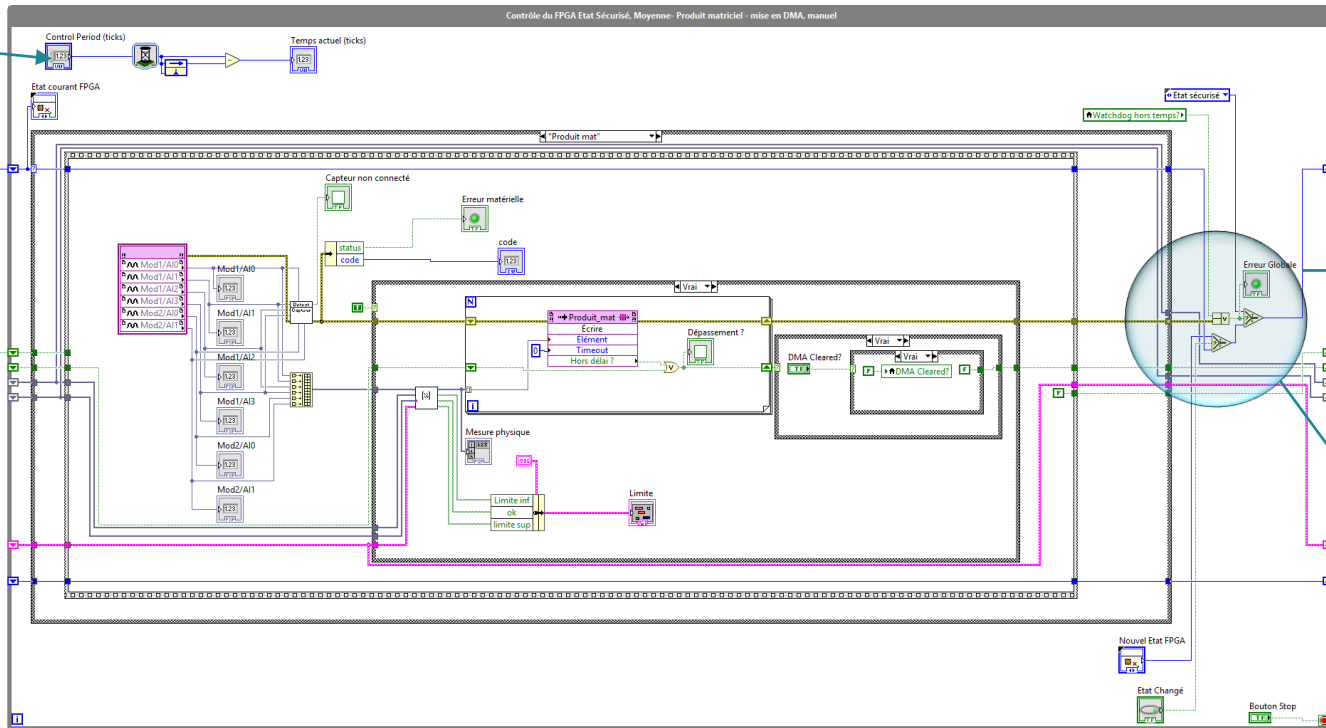
FPGA

Temps réel

PC supervision

Temporisation

Etat initiale



Etat Sauvé,  
dans un  
registre à  
décalage

Etat Suivant

Condition  
de l'étape de  
suivante

Machine à état

FPGA

Temps réel

PC supervision

**Nous allons étudier la machine à état dans un système temps réel. J'ai choisi de vous présenter la machine à état qui gère les interactions temps réel au pc de supervision.**

**Celle-ci n'a pas de temporalité fixe à respecter, elle utilise donc une boucle while classique, mais on aurait pu prendre la boucle temps réel.**

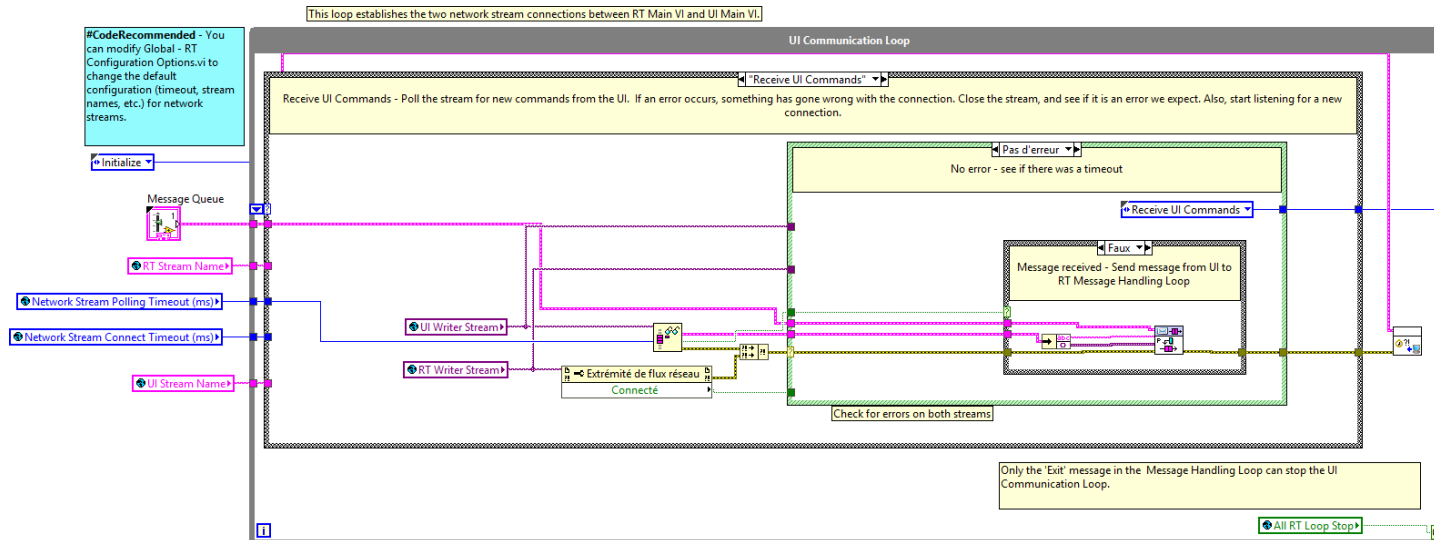
Machine à état

FPGA

Temps réel

PC supervision

Cette machine a état reprend exactement les mêmes étapes que pour le fpga.



Machine à état

FPGA

Temps réel

Pc de  
supervision

**Enfin le pc de supervision peut utiliser des machines à état, cette fois, les informations sont reçu du flux d'information envoyé par la machine à état précédente du temps réel.**

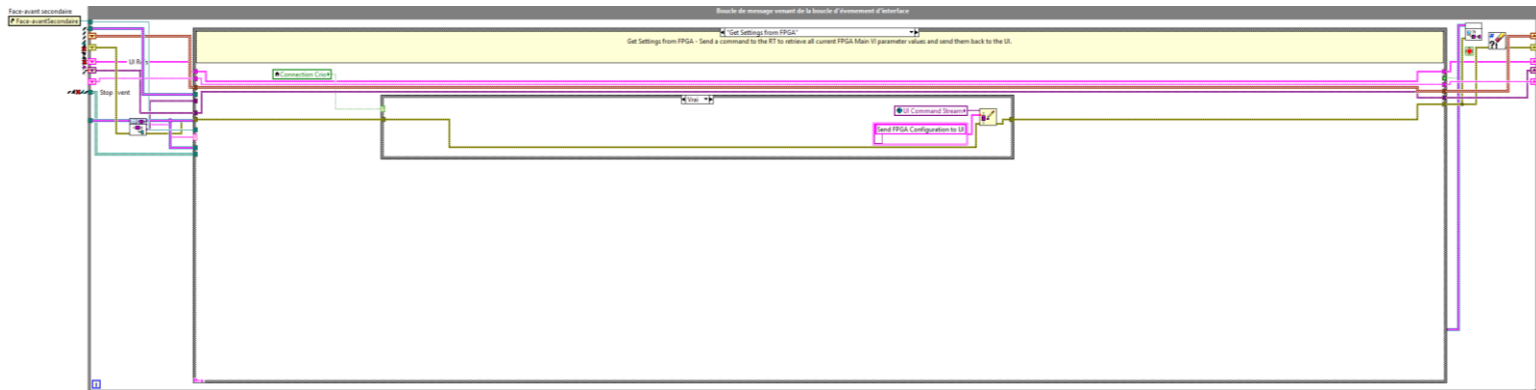
Machine à état

FPGA

Temps réel

Pc de  
supervision

**Le contrôle se fait par une machine à message (cette fois les commande ne sont pas une liste d'énumération mais des messages textes). Dans cette étape nous envoyons à la structure vu dans le temps réel, la configuration de la cible FPGA. On va donc indirectement contrôler via le système réel, le fpga. Ici nous allons le configurer (valeur de l'étalonnage, valeur de la matrice etc).**



Machine à état

FPGA

Temps réel

PC supervision

