

# La cible myRIO

David FREY

Département GElI

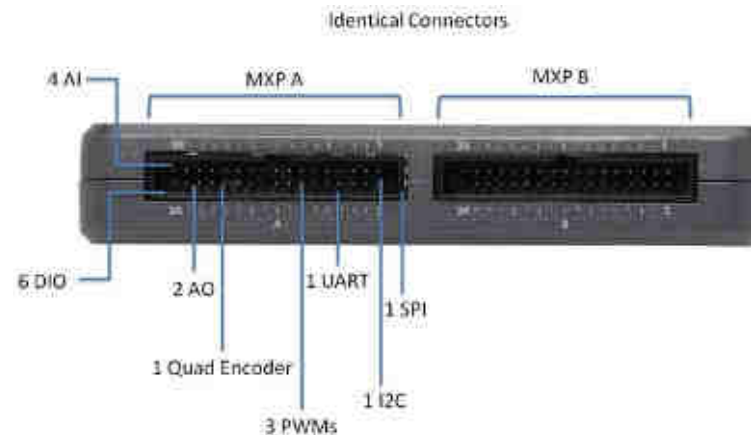
IUT1 de Grenoble

Journée Alpesview

4 décembre 2015

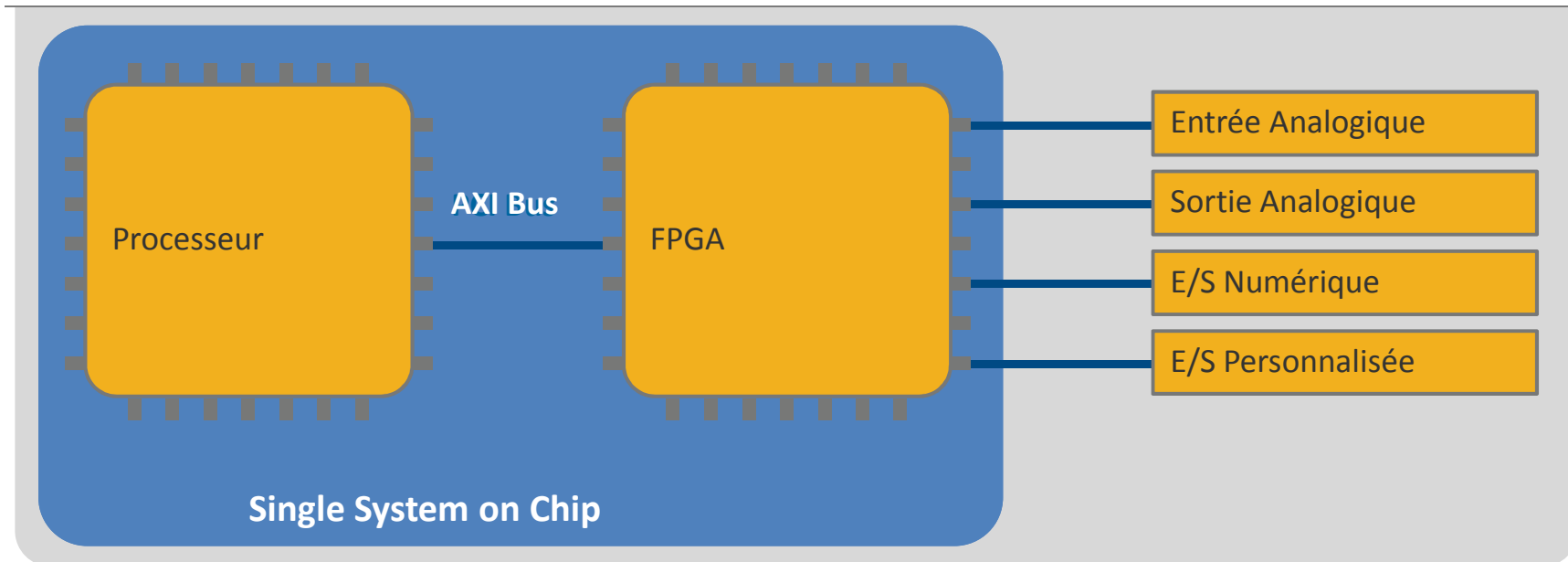
# Qu'est ce qu'une myRIO?

- Cible embarquée : Processeur Temps-Réel + FPGA (“Xilinx Zynq”)
- Structure identique aux cRIO d’entrée de gamme de dernière génération
- Présentation plus proche d’un microcontrôleur (périphériques “classiques”)
- Cible dédiée à l’enseignement, mais pas seulement...
- Interfaçage aisée, mais nécessite de développer des cartes électroniques
- Matériel “figé” (impossible d’ajouter des modules métier comme sur cRIO et sbRIO)



# Liaison Processeur - FPGA

Implémentation traditionnelle (type cRIO)

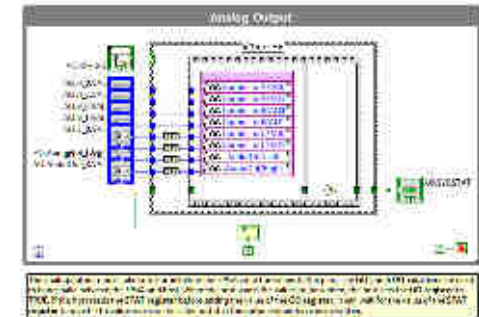
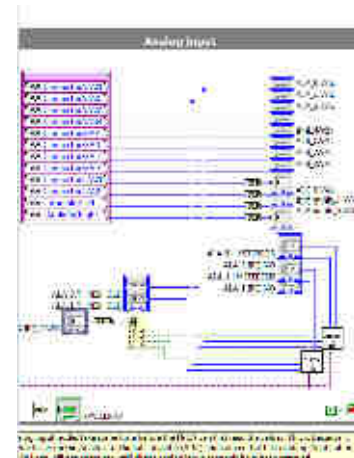
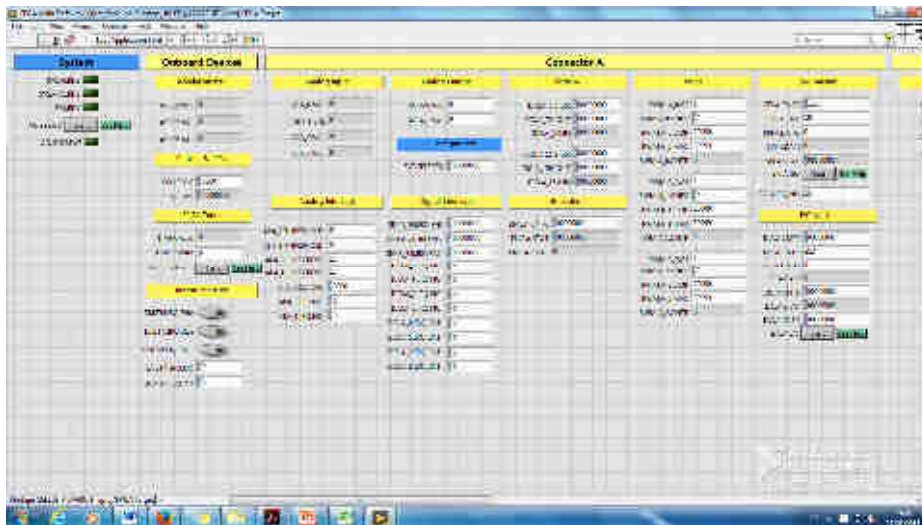


# Principales caractéristiques

- Système embarqué basé sur un composant Zynq 7010
  - Processeur : Dual-Core ARM Cortex-A9 667 MHz
  - FPGA : 28K Cellules Logiques (Artix-7)
- Nombreuses entrées-sorties
  - 40 E/S TOR compatibles TTL
  - 11 entrées analogiques (8 : 0-5V, 2 : -10/+10V, 1 entrée audio stéréo)
  - 7 sorties analogiques (4 : 0-5V, 2 : -10/+10V, 1 sortie audio stéréo)
  - 2 liaisons série RS232 (0 - 3,3V)
  - A minima : 2 I2C, 2 SPI, 8 PWM, 4 entrées encodeur en quadrature
- Liaison WiFi pour programmation/debugage/pilotage (modèle en boîtier), peut créer un point d'accès WiFi
- Accéléromètre 3 axes

# Caractéristiques des périphériques

- Les Entrées/Sorties physiques de la myRIO (à l'exception des RS232) sont programmées dans le FPGA (les périphériques sont des codes LV)
- La myRIO est fournie avec une “personnalité par défaut” qui inclut ces périphériques
- Le code source est fourni et modifiable



# Développement des applications

2 modes de fonctionnements

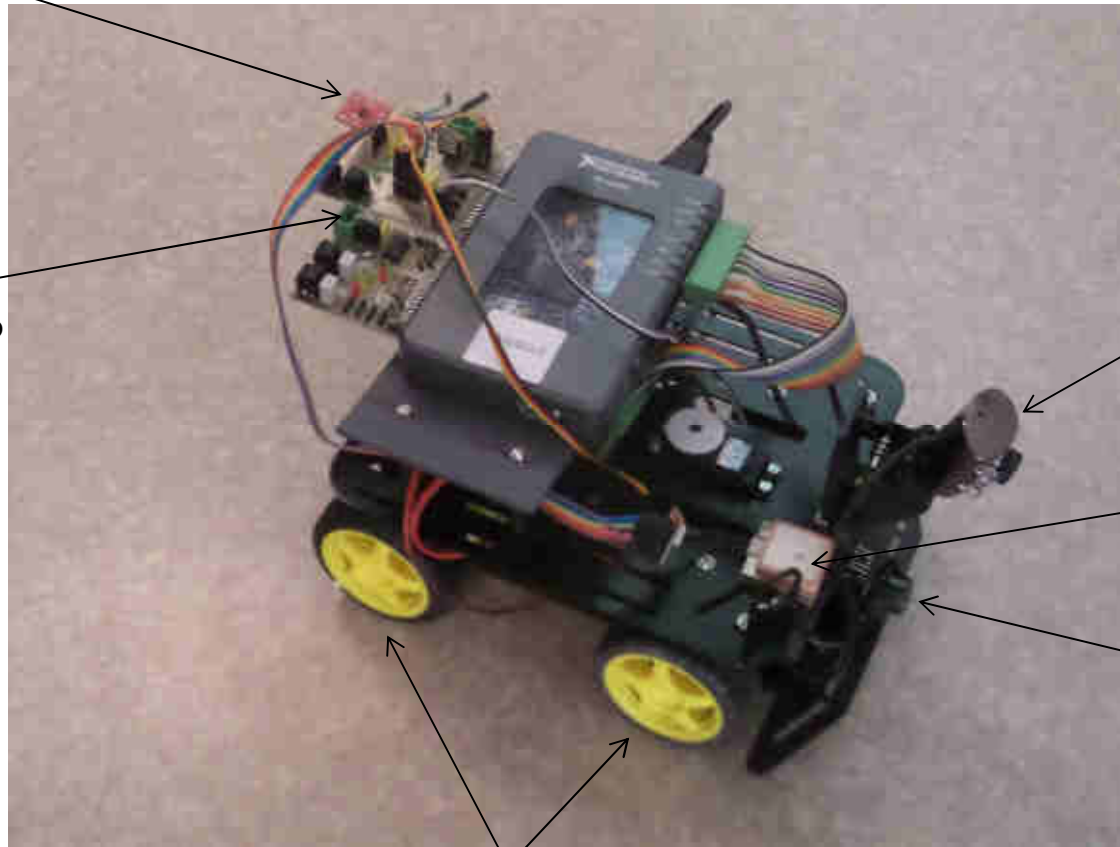
- Projet myRIO standard (similaire au Scan Engine des cRIO)
  - FPGA non accessible
  - VI Express permettent d'utiliser les périphériques
  - Cadencement limité aux possibilités du processeur
- Projet myRIO avec "FPGA Custom"
  - Code FPGA accessible
  - Possibilité de le modifier ou l'adapter à l'application
  - ATTENTION : Difficile à modifier car la personnalité de base occupe une (très) grosse partie du FPGA => Risques d'erreurs de compilation fréquents
  - Les VI Express sont toujours utilisables tant qu'on ne modifie pas les contrôles/indicateurs du VI FPGA

# Exemple d'application

Un exemple récent : robot suiveur de ligne avec caméra USB

Magnétomètre 3 axes  
I2C

Cartes  
d'interface  
pour ports MXP



Caméra  
USB

GPS  
RS232

Télémètre  
AI

4 moteurs : PWMs  
2 Encodeurs : Entrées encodeur

# Bilan

- Cible embarquée très facile de mise en oeuvre (personnalité par défaut)
- Bien adaptée à une approche plus “électronique” (mise en oeuvre de cartes de développement à base de processeur et/ou FPGA)
- Interfaçage simple avec des cartes électroniques
- Autonomie : Communication sans fil, fonctionne sur batteries
- Modification du programme fourni compliquée => Possibilité de partir de zéro en développant son propre code FPGA (idem cRIO/sbRIO)
- Cible FPGA “un peu juste” pour des développements FPGA compliqués
- Prix compétitif (par rapport aux autres solutions du marché basées sur les mêmes processeurs)