

Utilisation d'un système déporté CompactRIO pour l'acquisition de signaux de fibres optiques traduisant l'évolution du transport sédimentaire

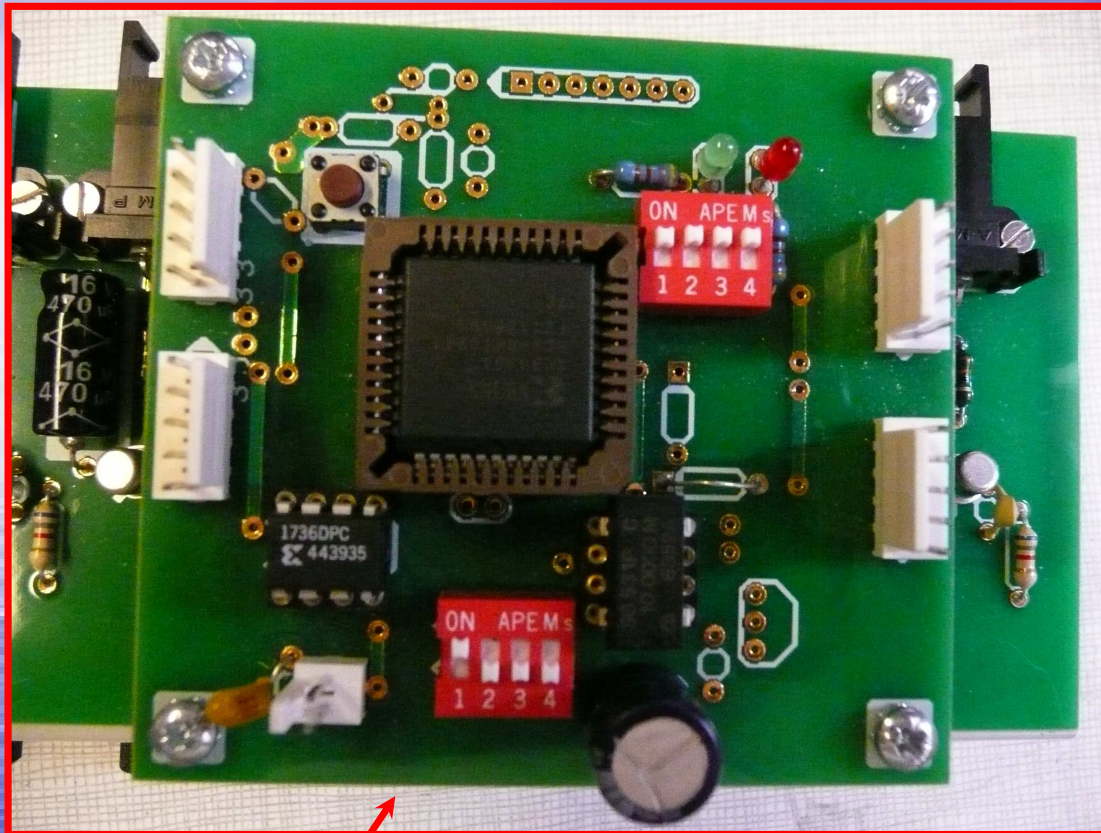
Plan

- Capteur par fibres optiques et expérience de terrain
- Système d'acquisition CompactRIO
- Programmes développés
- Résultats préliminaires en canal
- Nouvelle programmation

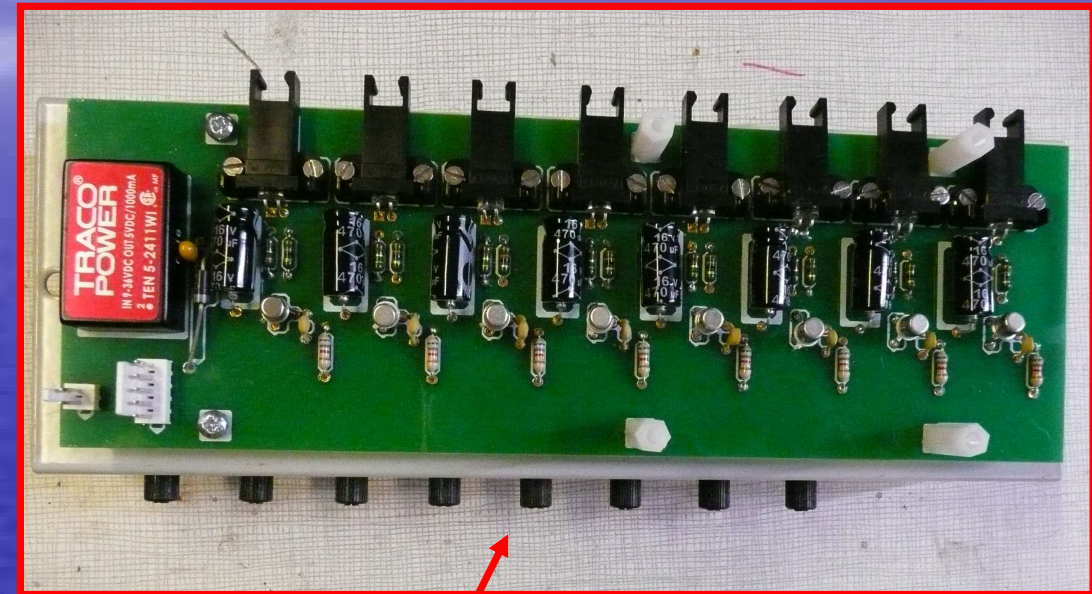
Capteur par fibres optiques

- Capteur de transport sédimentaire
- Une paire de fibres optiques (émettrice réceptrice)
- Module électronique constitué d'une carte émettrice de lumière, une réceptrice et une interface FPGA (*Field Programmable Gate Array*)
- Pilote 16 paires de fibres optiques situées sur une réglette

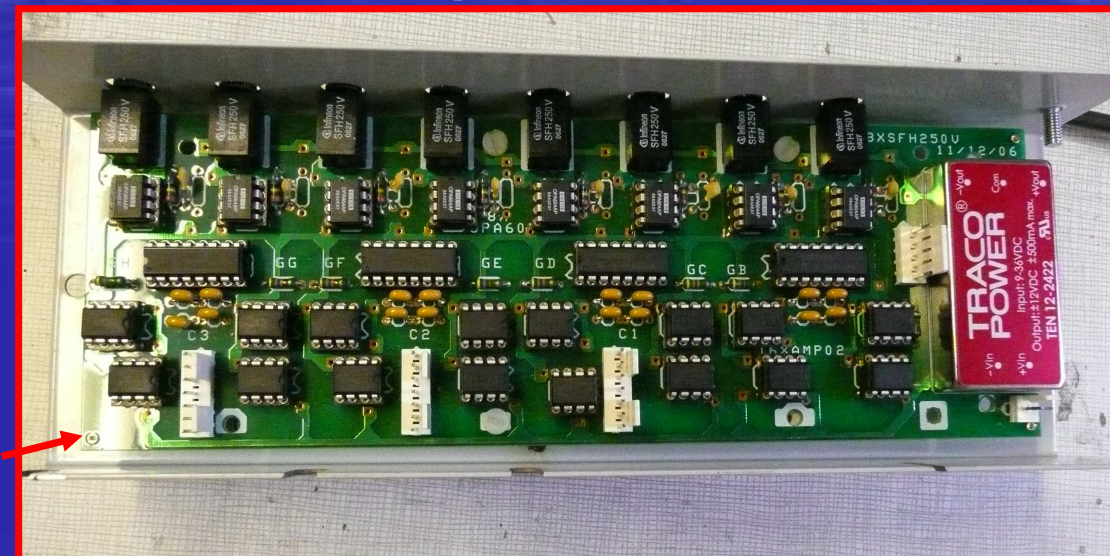
Plaques émettrice, réceptrice et interface logique



Plaquette interface logique

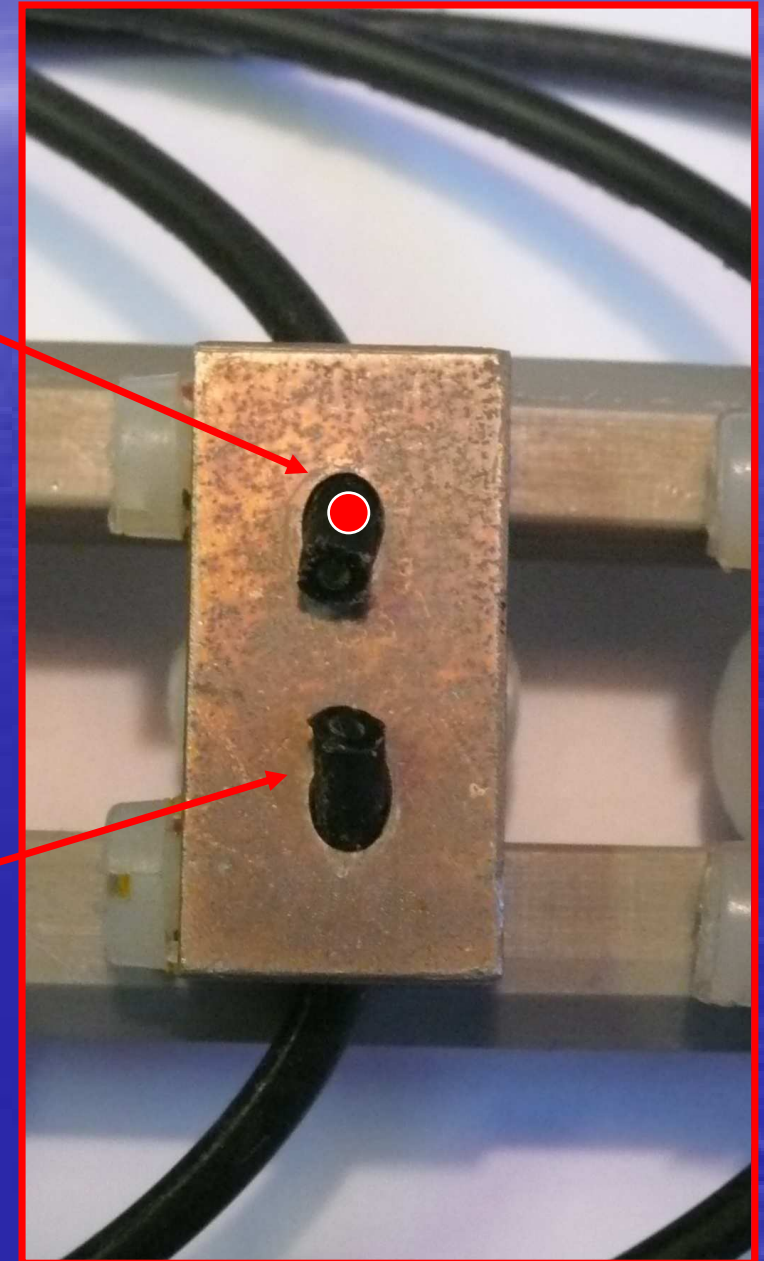
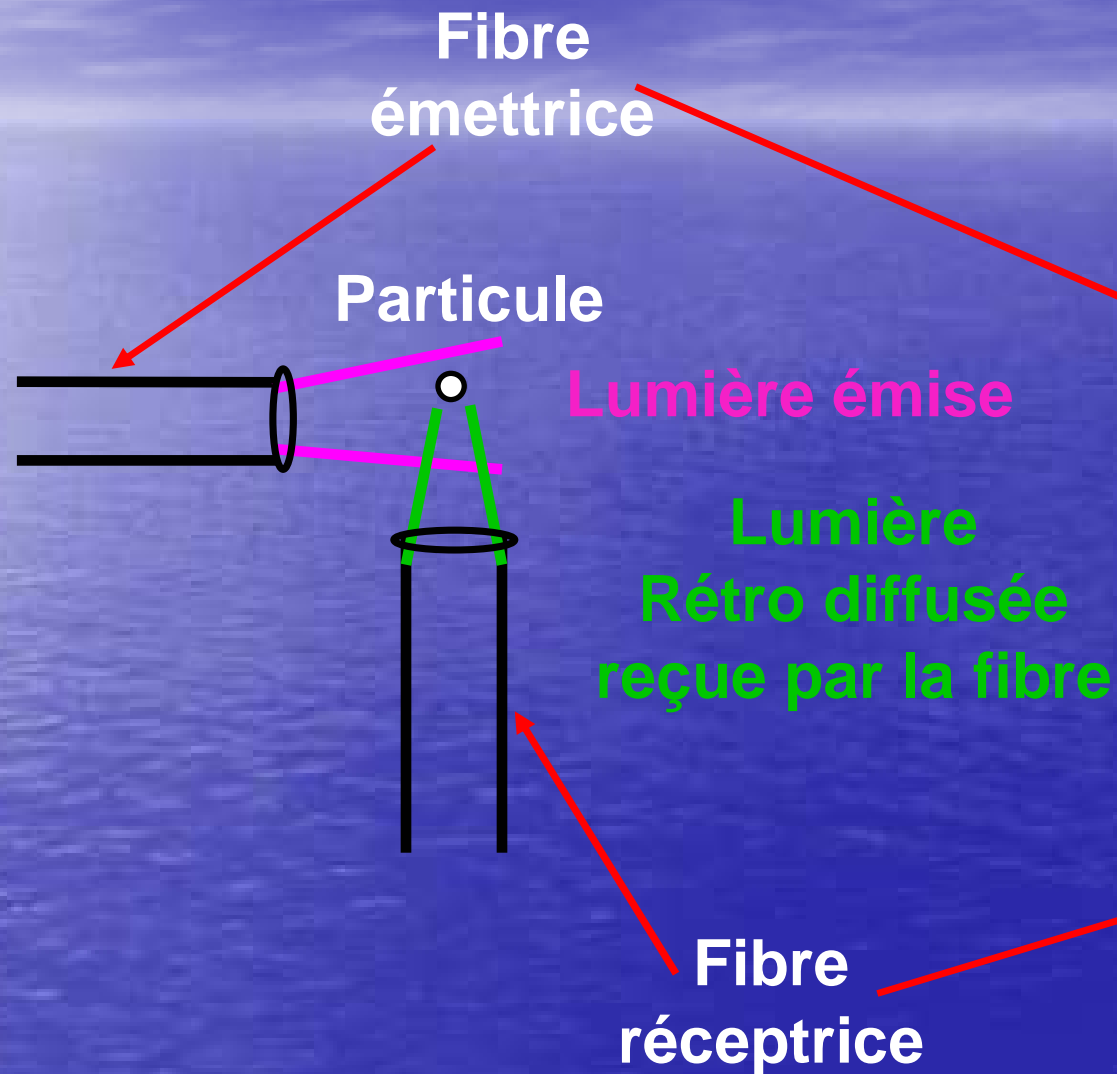


Plaquette émettrice

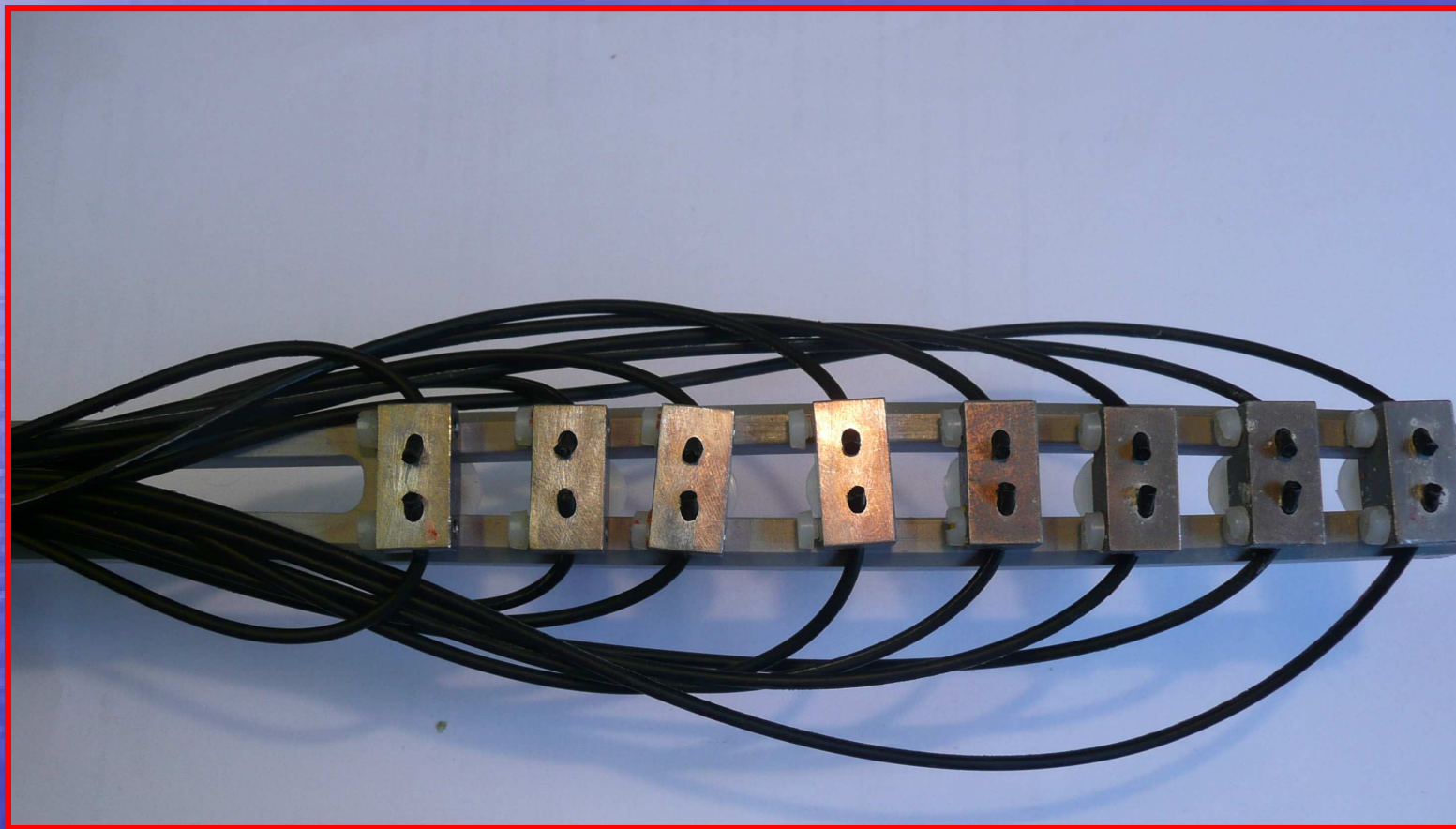


Plaquette réceptrice

Lumière rétro diffusée



Régllette de fibres optiques

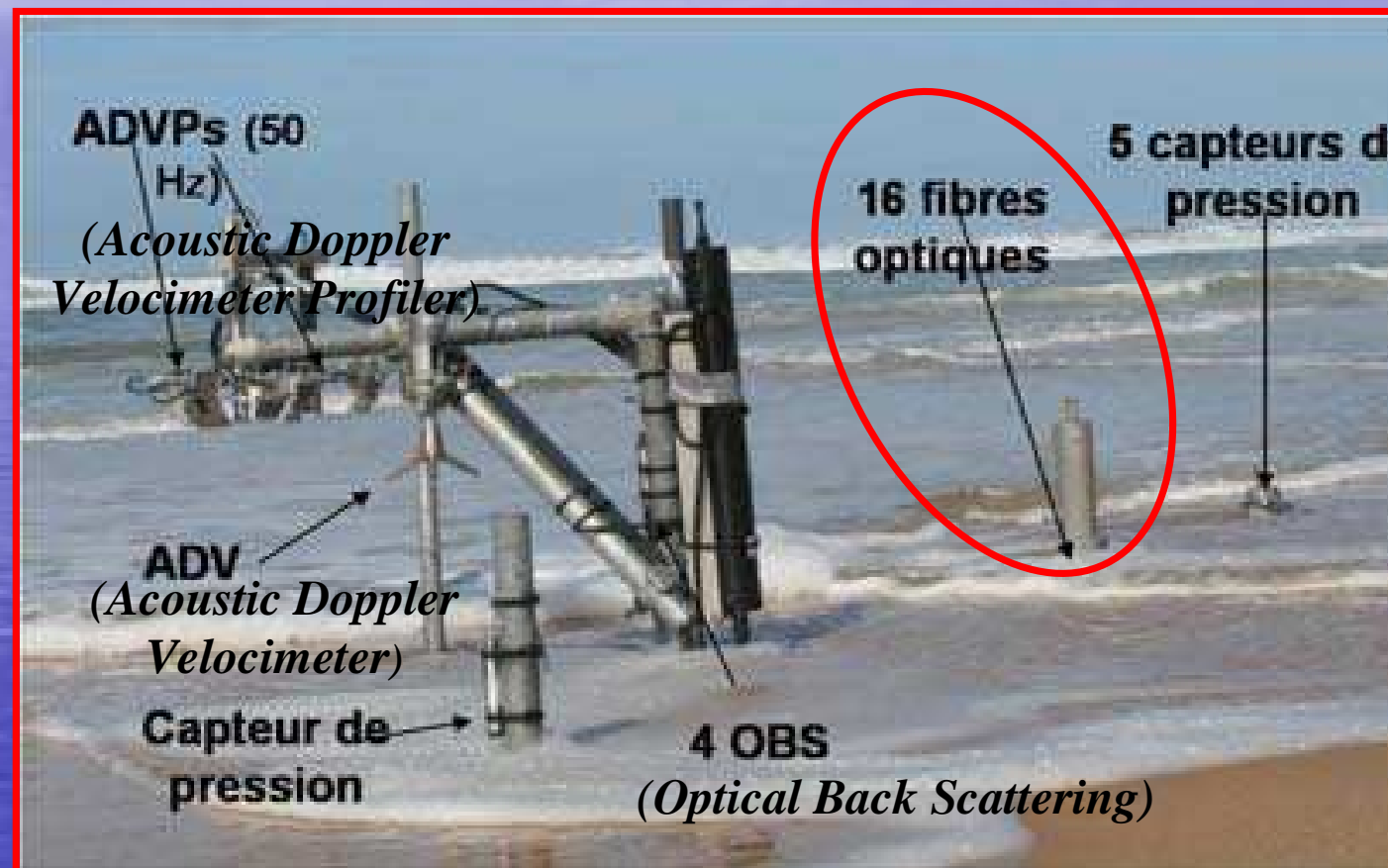


Fibre réceptrice : signal de lumière rétro diffusée et signal de lumière ambiante

Projet ECORS

- Projet international ECORS
- Côte atlantique française (mars avril 2008)
- Qualification des modèles de houle et de morpho dynamique
- Expérimentation de terrain liée à de forts coefficients de marées

Installation pour l'expérience de terrain



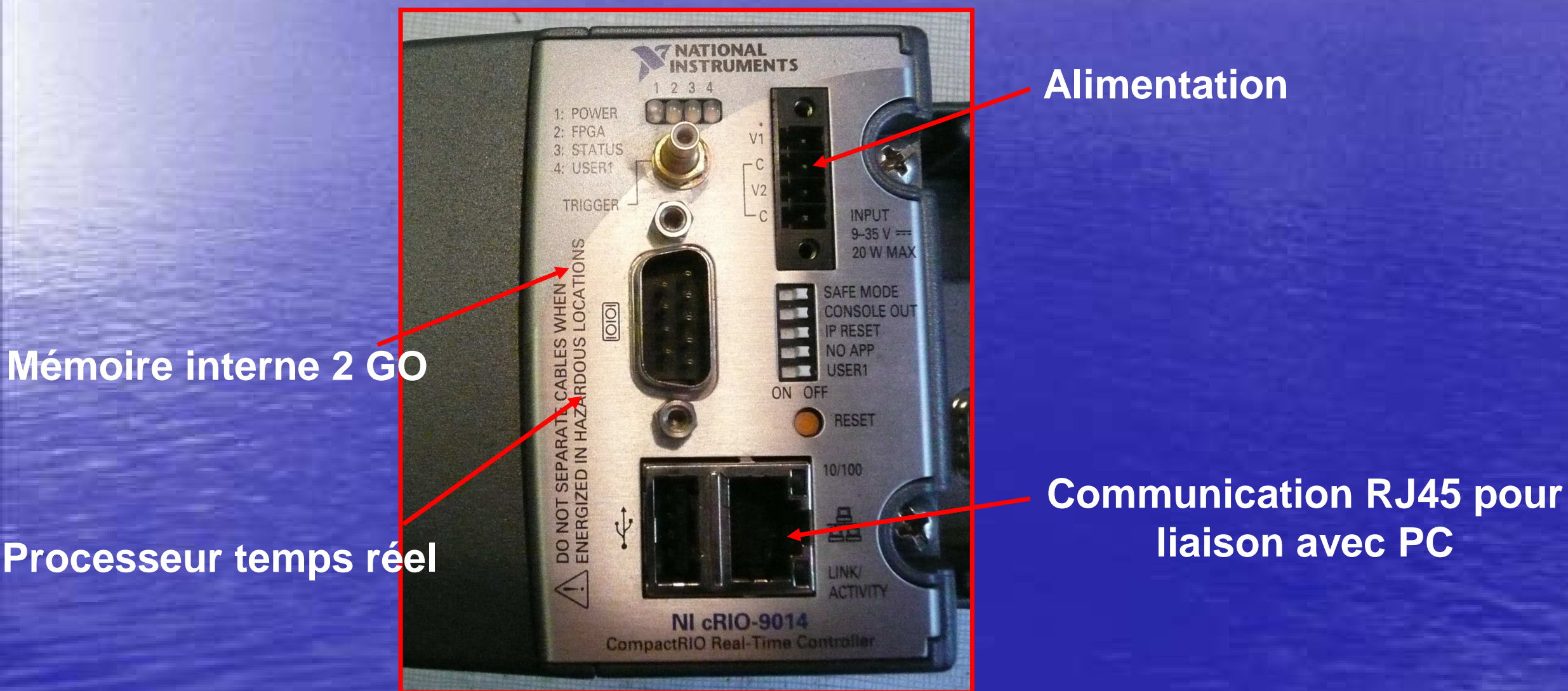
Nécessité d'avoir un système déporté
(au moins 100 m du PC)

Choix du système d'acquisition

- Cahier des charges :
 - Système autonome et déporté du PC
 - Robuste
 - Fréquences 100Hz par voie pour 32 voies
 - Mémoire interne pour stockage des données

CompactRIO

➤ Contrôleur CompactRIO 9014



CompactRIO

➤ Module d'acquisition NI 9205
32 voies analogiques 250kS/s



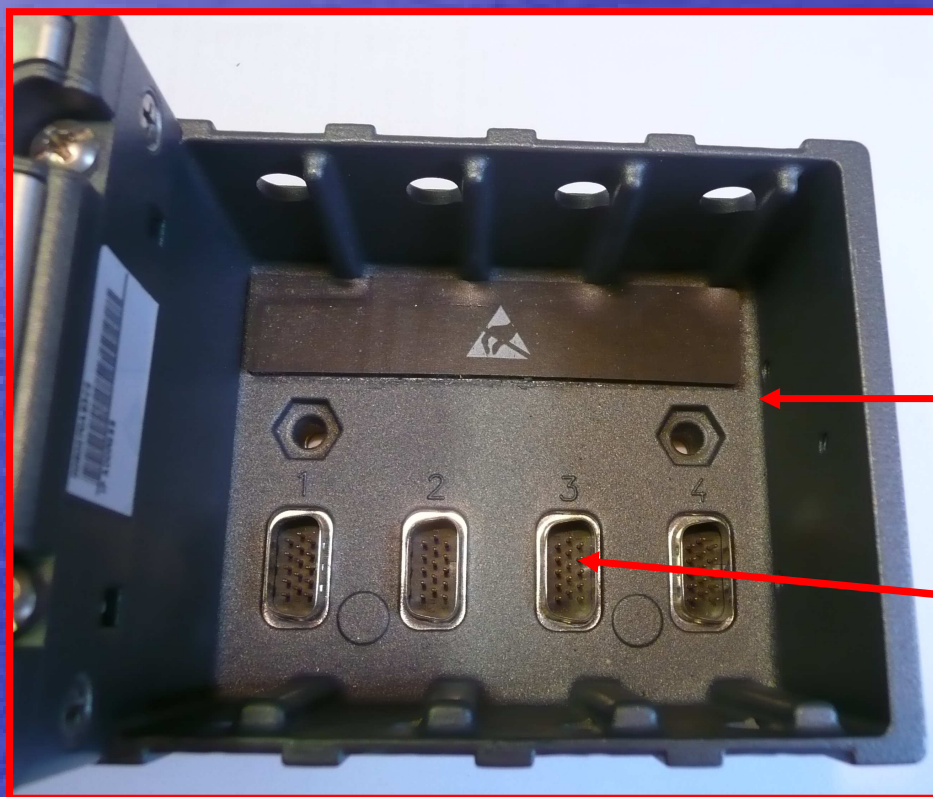
Branchement des voies analogiques



Insertion du module sur
le CompactRIO

CompactRIO

- Châssis 9101 (1 million de portes) jugé suffisant pour notre programmation

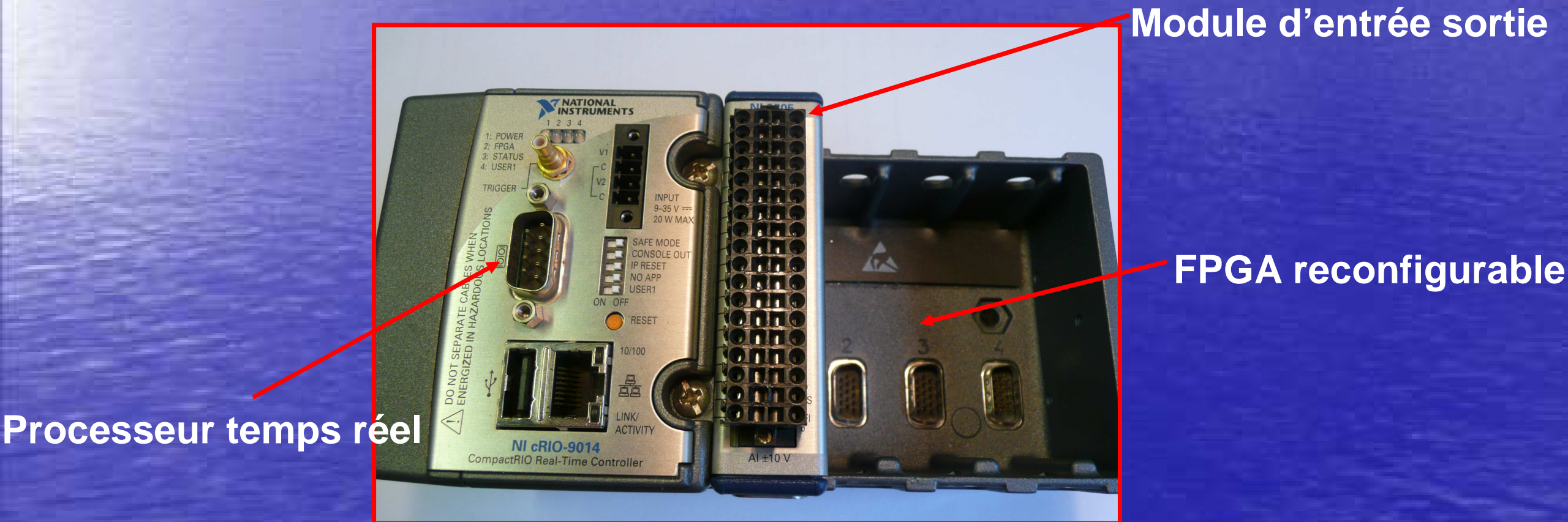


FPGA reconfigurable

Possibilité de branchement de 4 modules d'entrées sorties

CompactRIO

- CompactRIO avec module acquisition 32 voies

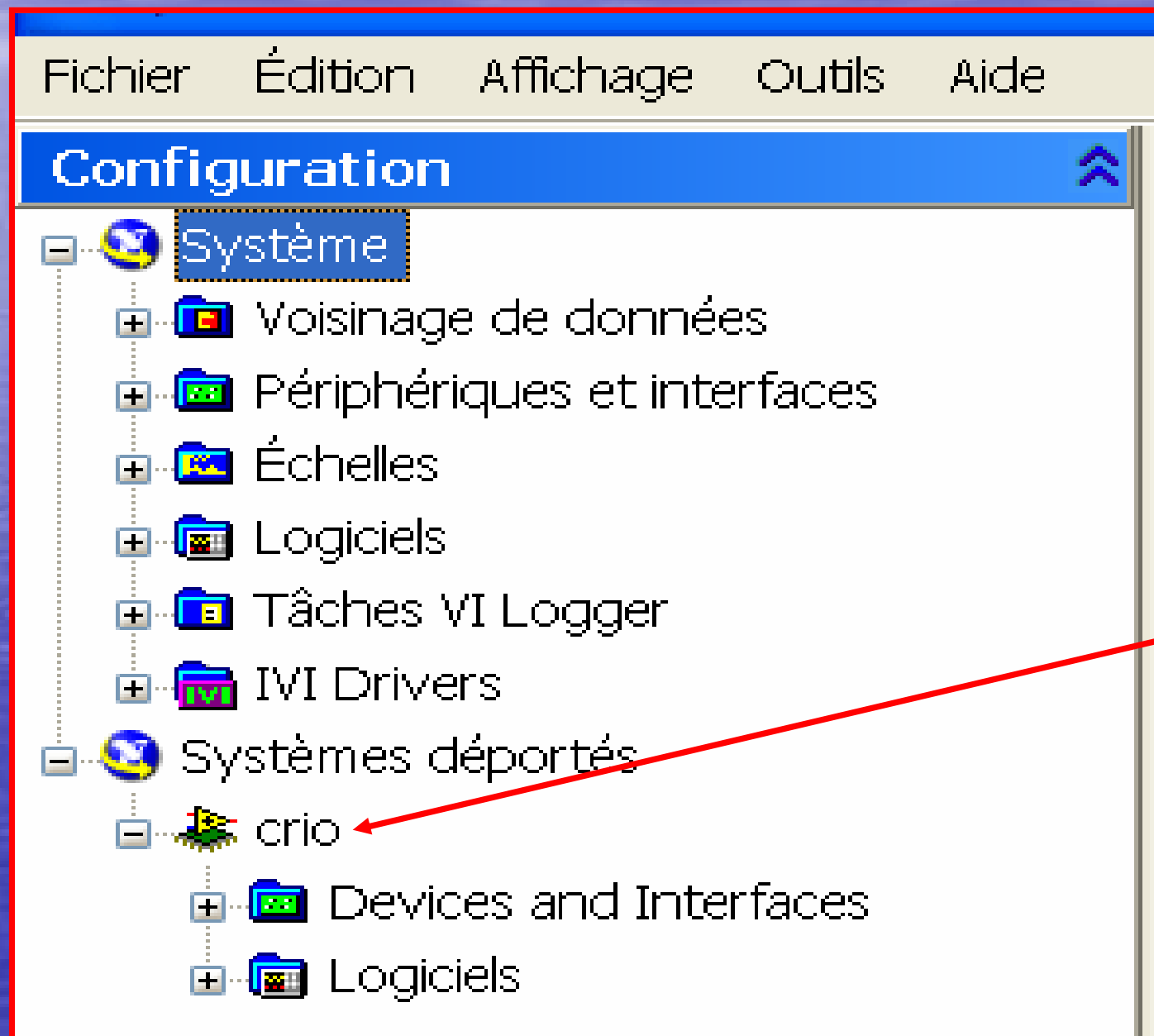


Programmes développés

- Programmation LabVIEW version 8.21 pour le CompactRIO :
 - Configuration sous MAX (numéro IP)
 - Fenêtre projet
 - Programmation FPGA (LabVIEW FPGA)
 - Programmation temps réel (LabVIEW RT)
 - Interface utilisateur (LabVIEW)

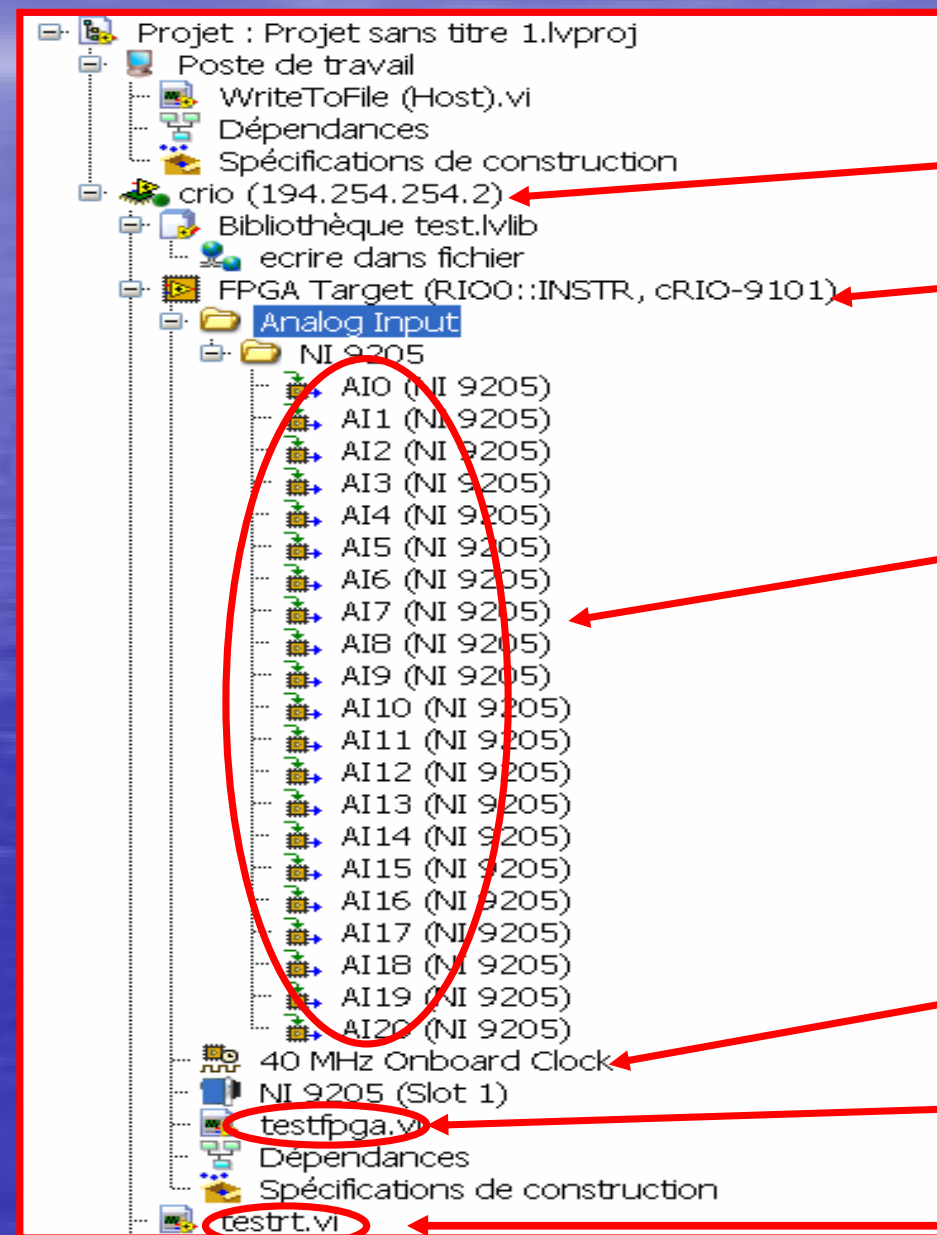


Visualisation du CompactRIO sous MAX



**Possibilité de
transfert de fichiers
entre le CompactRIO
et le PC**

Fenêtre projet de LabVIEW



CompactRIO

Châssis FPGA

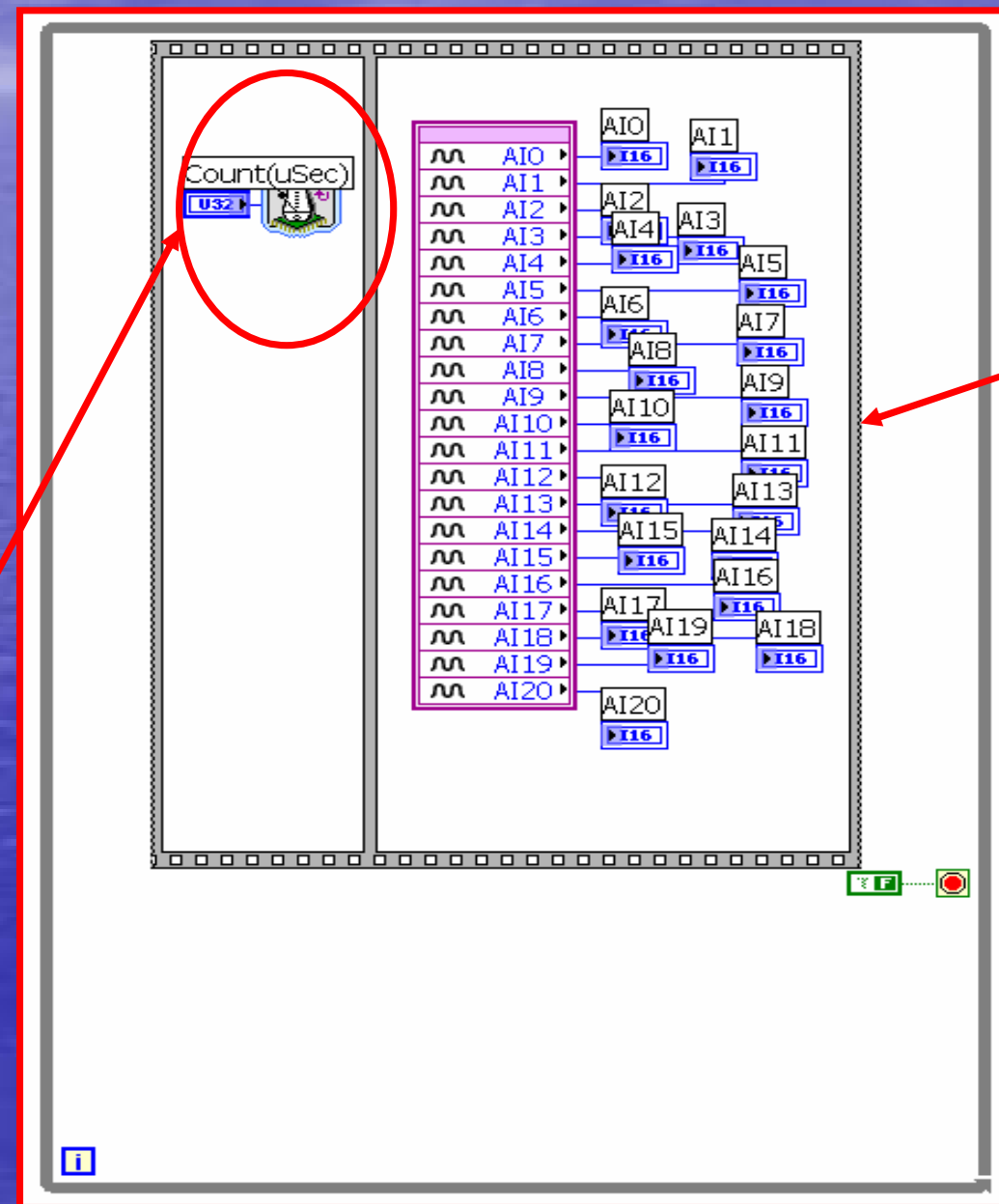
Voies analogiques

Horloge quartz 40MHz

Programme FPGA

Programme temps réel
(RT)

Diagramme du programme FPGA



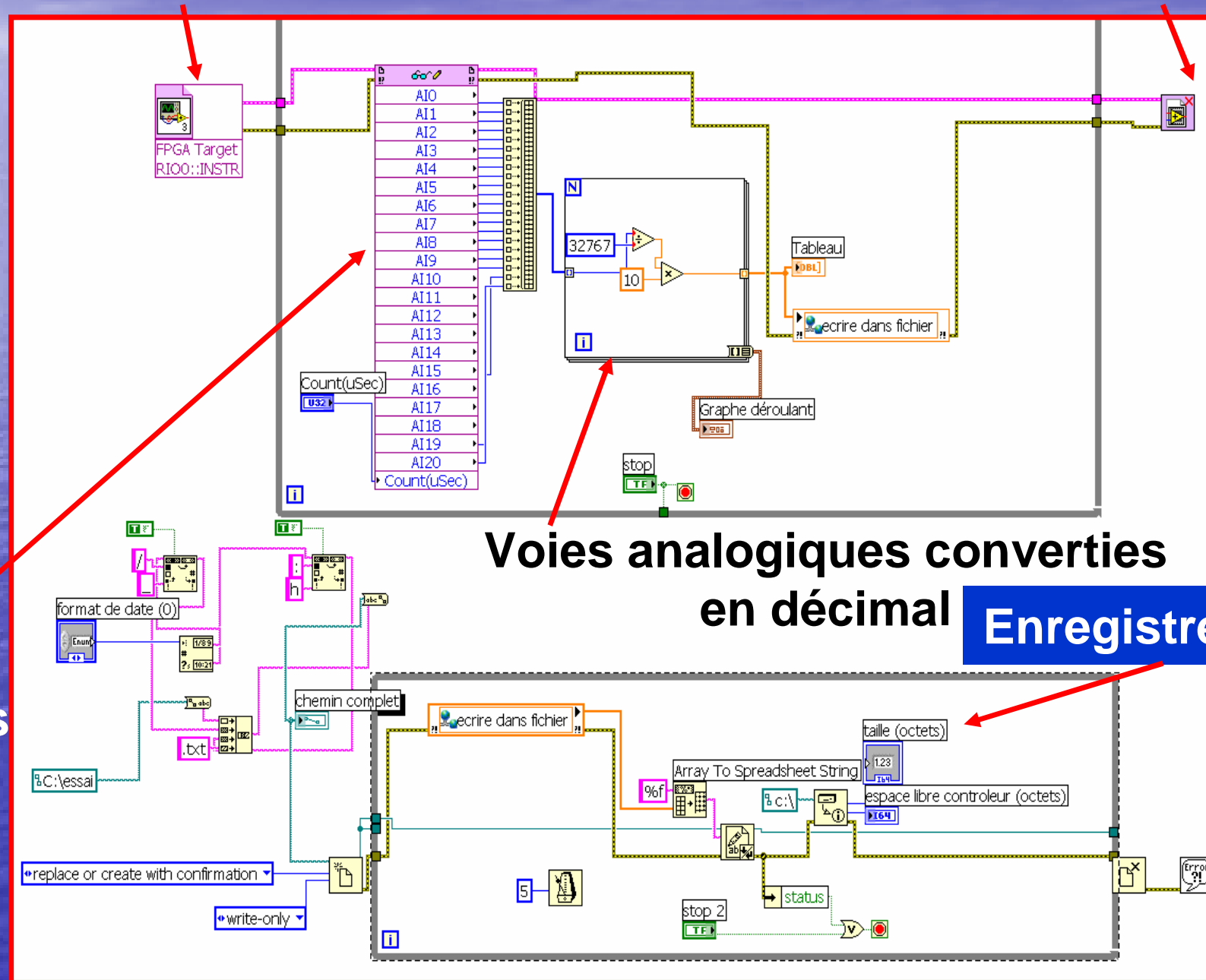
Scrutation des voies
analogiques

Période d'acquisition
(100Hz pour 32 voies)

Programmation temps réel

Ouverture du programme FPGA

Fermeture du programme FPGA



Lecture voies analogiques

Programmation temps réel

The screenshot shows a real-time programming interface with several components and annotations:

- Période d'acquisition**: An annotation pointing to the **Count(uSec)** field, which is set to 400.
- Espace libre sur la mémoire CompactRIO**: An annotation pointing to the **espace libre controleur (octets)** field, which displays $1,97E+9$.
- Tableau de valeurs**: An annotation pointing to a row of seven numeric display fields, all showing the value 0.
- Graphe des valeurs**: An annotation pointing to a graph area labeled **Graphe déroulant**. The graph has a vertical axis for **Amplitude** ranging from -0,35 to 0,05 and a horizontal axis for **Temps** ranging from 00:00:00 to 00:17:03. To the right of the graph are three checkboxes for **Tracé 0**, **Tracé 1**, and **Tracé 2**, all of which are checked. Below the graph is a **stop 2** button with a **STOP** label.

Canal à houle du LEGI

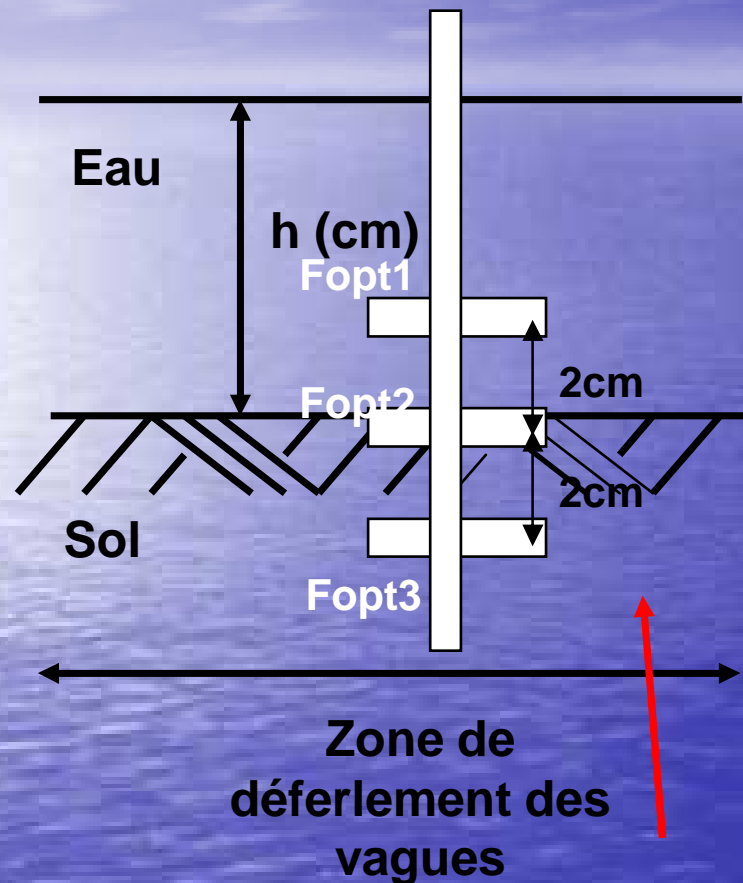


Particules calibrées
en PVC

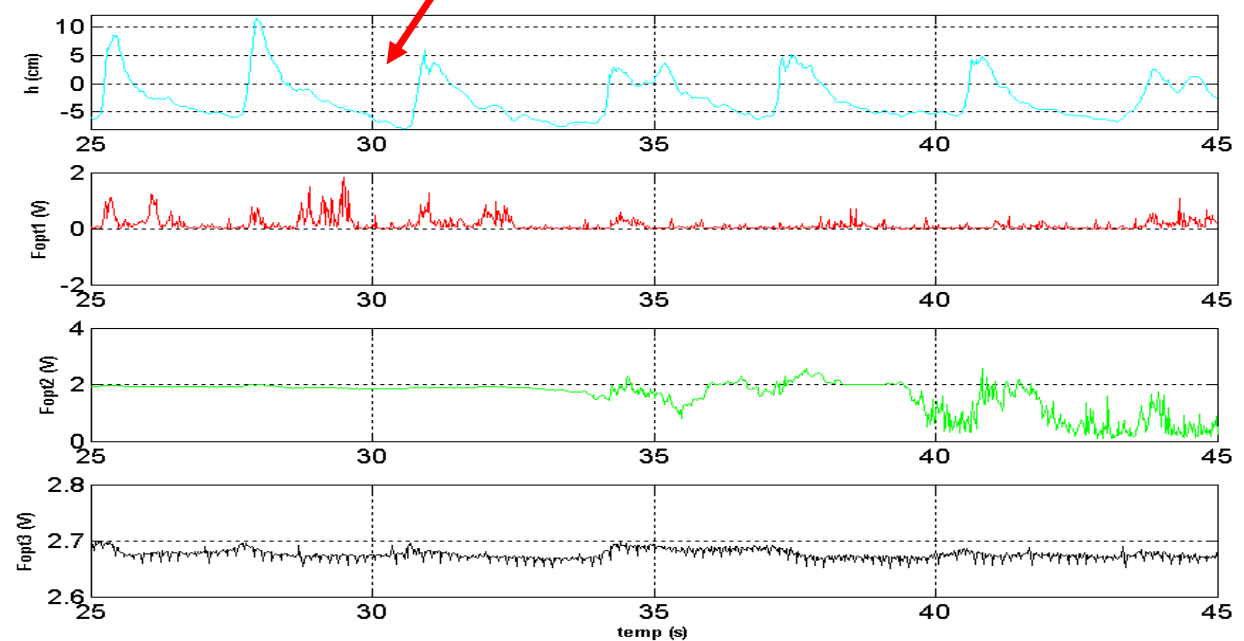
36 m de long

Batteur pour séries
de vagues

Résultats préliminaires en canal



Hauteurs de vagues (cm)



Tension sortant du capteur par fibres optiques traduisant l'évolution du transport sédimentaire

Positionnement des fibres sur la réglette
(fibres situées à 11 m du batteur)

Résultats encourageants nous permettant de valider le fonctionnement du capteur

Programmation par FIFO

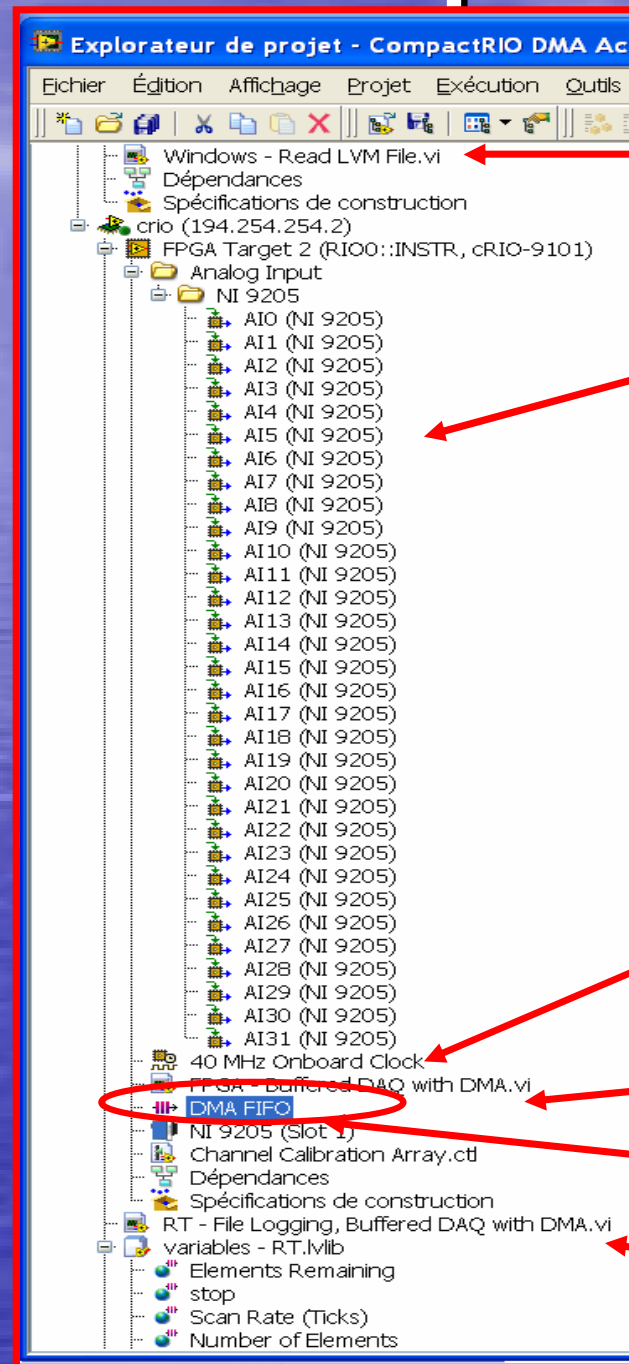
- Problème de saut de données
- FIFO : First In First Out
- Une FIFO : zone mémoire dans laquelle le premier élément écrit est lu en premier
- Créer une FIFO (copie des 32 voies analogiques) et l'intégrer dans le code FPGA
- Relire cette FIFO dans le code temps réel

Communication par DMA

- DMA : Direct Memory Access
- Utilisation des DMA FIFOs pour transfert de données entre programme FPGA et RT
- Avantage : pas de sollicitation du processeur qui peut faire des calculs pendant que la cible FPGA transfère des données

Pour résoudre le problème de
perte de données

Fenêtre projet avec FIFO



Interface utilisateurs

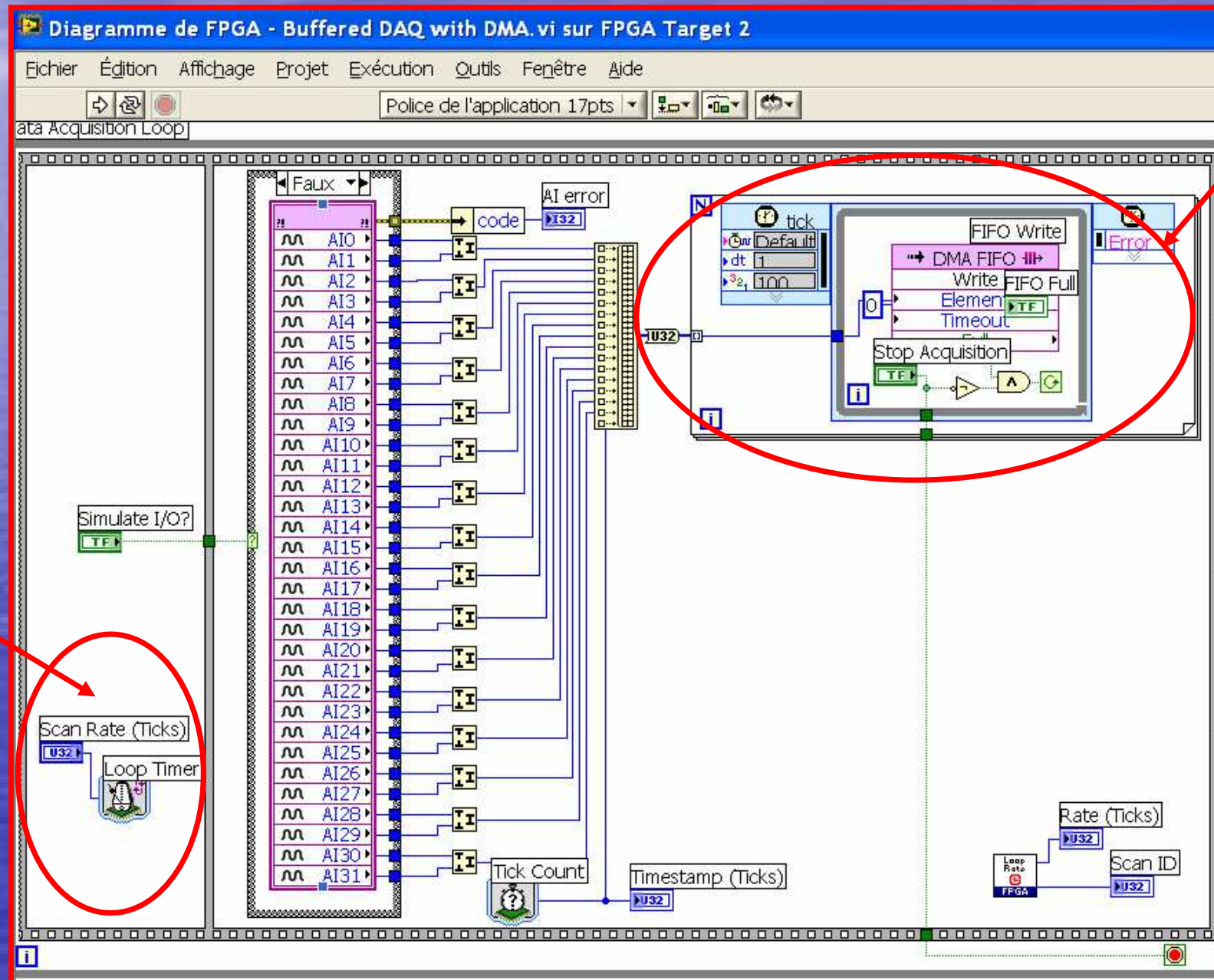
32 voies analogiques

Horloge quartz 40MHz

Programme FPGA
FIFO

Programme temps réel

Programmation FPGA avec FIFO

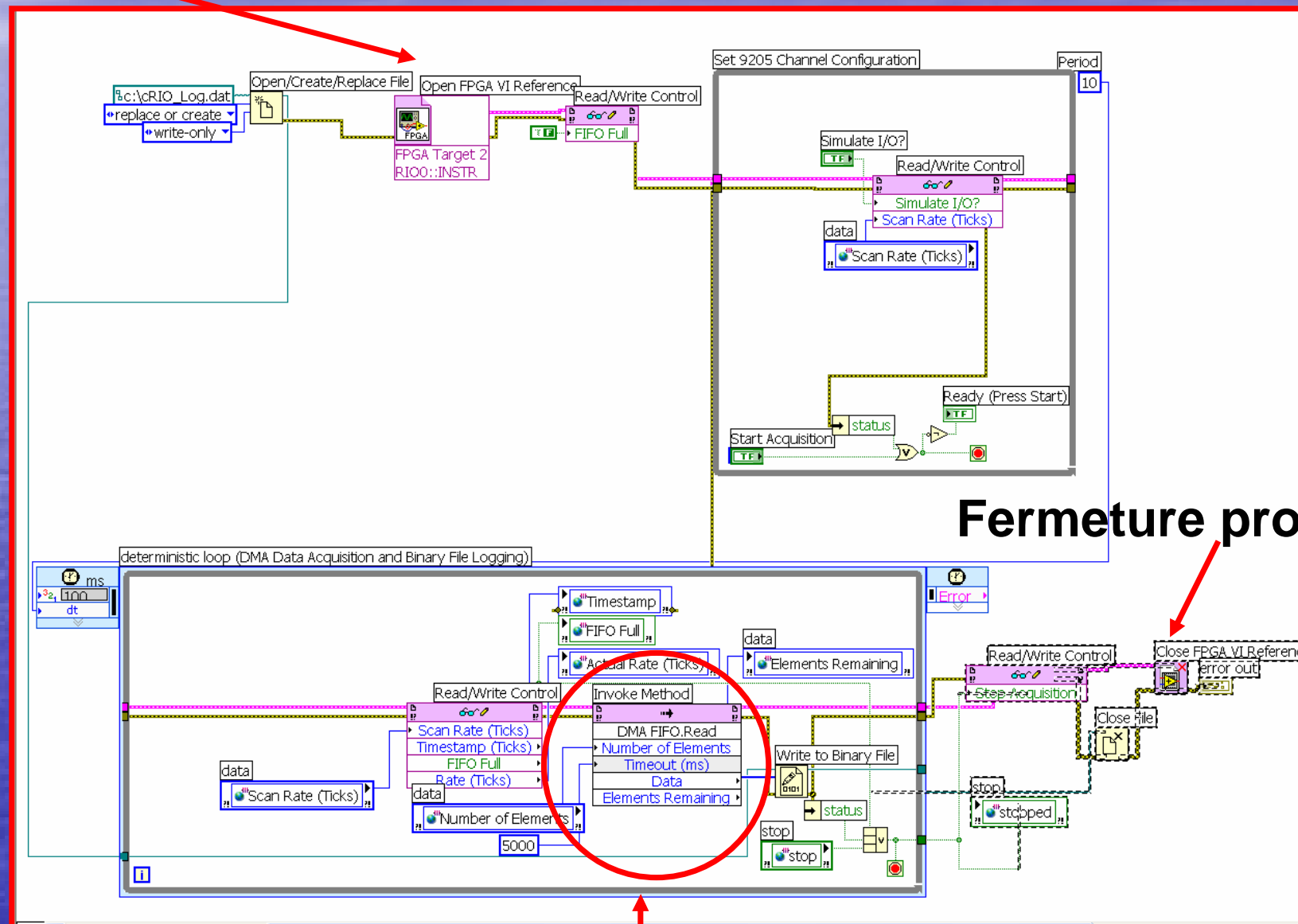


Les voies
analogiques
sont écrites
dans
la FIFO

Période
d'acquisition

Programmation temps réel avec FIFO

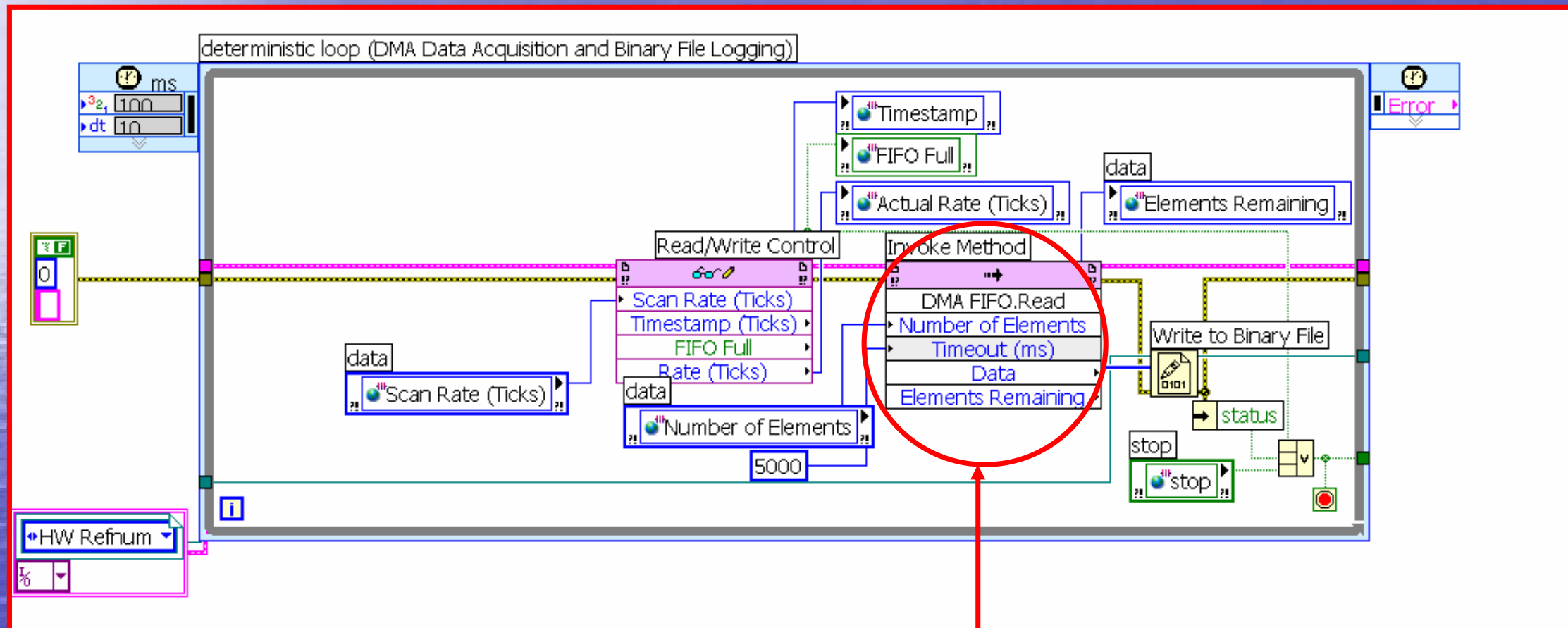
Ouverture programme FPGA



Fermeture programme FPGA

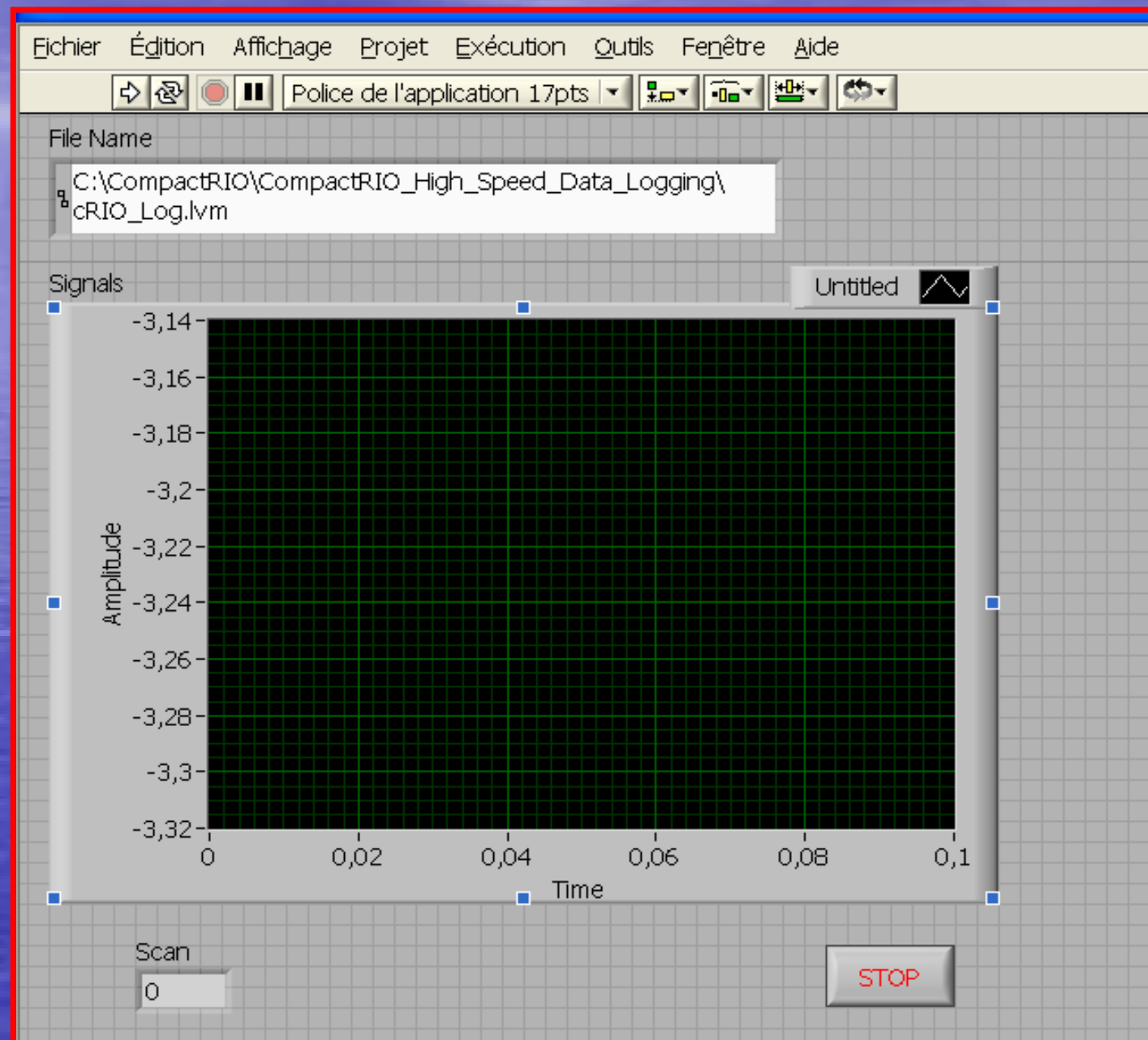
Accès FIFO

Lecture de FIFO en programme RT



Lecture de FIFO

Interface utilisateur



Conclusion et perspectives

- Les résultats en canal avec notre première programmation ont permis de valider le capteur par fibres optiques
- Nouvelle programmation a permis une acquisition déportée, autonome sans perte de données
- Adaptation à notre châssis 9101
- Utilisation de la version 8.6 de LabVIEW et du Scan Mode