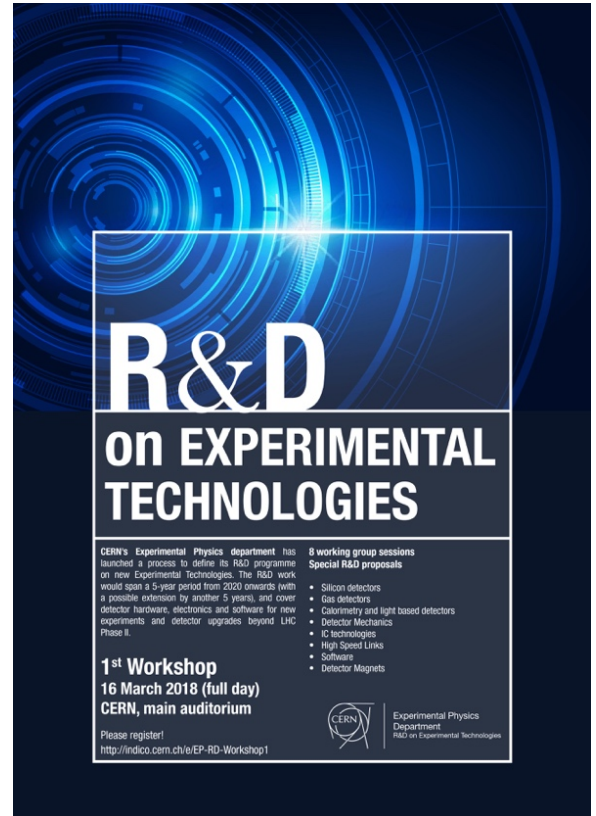


# R&D au CERN pour les détecteurs à pixels

A poster for an R&D workshop on experimental technologies at CERN. The background features a blue, circular, futuristic design resembling a particle detector or a tunnel. The text is white and black on a dark blue background.

**R&D**  
**on EXPERIMENTAL TECHNOLOGIES**

CERN's Experimental Physics department has launched a process to define its R&D programme on new Experimental Technologies. The R&D work would span a 5-year period from 2020 onwards (with a possible extension by another 5 years, and cover detector hardware, electronics and software for new experiments and detector upgrades beyond LHC Phase II).

**8 working group sessions**  
**Special R&D proposals**

- Silicon detectors
- Gas detectors
- Calorimetry and light based detectors
- Detector Mechanics
- IC technologies
- High Speed Links
- Software
- Detector Magnets

**1<sup>st</sup> Workshop**  
**16 March 2018 (full day)**  
**CERN, main auditorium**

Please register!  
<http://indico.cern.ch/e/EP-RD-Workshop1>

 Experimental Physics  
Department  
R&D on Experimental Technologies

W. Snoeys



March 16, 2018

EP-R&D working group on silicon

1

# Remerciements

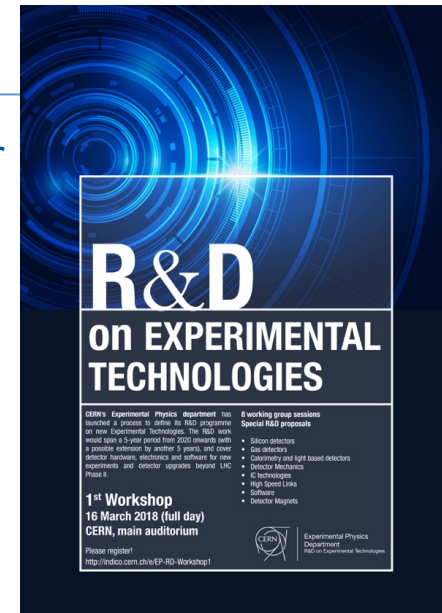
---

- Les organisateurs du workshop pour l'invitation
- T. Kugathasan, G. Aglieri, H. Pernegger, L. Musa, P. Riedler, D. Dannheim, M. Campbell, X. Llopart
- G. Anelli, F. Anghinolfi, P. Aspell, R. Ballabriga, S. Bonacini, M. Campbell, J. Christiansen, R. De Oliveira, F. Faccio, P. Farthouat, E. Heijne, P. Jarron, J. Kaplon, K. Kloukinas, A. Kluge, T. Kugathashan, X. Llopart, A. Marchioro, S. Michelis, P. Moreira, K. Wyllie, M. Mager, M. Keil, D. Kim, A. Dorokhov, A. Collu, C. Gao, P. Yang, X. Sun, H. Hillemanns, S. Hristozkov, A. Junique, M. Kofarago, M. Keil, A. Lattuca, M. Lupi, C. Marin Tobon, D. Marras, M. Mager, P. Martinengo, G. Mazza, H. Mugnier, H. Pham, J. Rousset, F. Reidt, P. Riedler, J. Van Hoorne, P. Yang, D. Gajanana, A. Sharma, B. Blochet, C. Sbarra, C. Solans Sanchez, C. Riegel, C. Buttar, D. Michael Schaefer, D. Maneuski, I. Berdalovic, K. Moustakas, M. Dalla, N. Wermes, N. Egidos Plaja, R. Bates, R. Cardella, T. Wang, T. Hemperek, T. Hirono, W. Wong, G. Iacobucci, M. Barbero, P. Pangaud, A. Habib, S. Bhat, I. Peric, R. Casanova, S. Grinstein, Y. Degerli, F. Guilloux, P. Schwemling...

et autres collègues du CERN et du ALICE ITS et ATLAS ITk

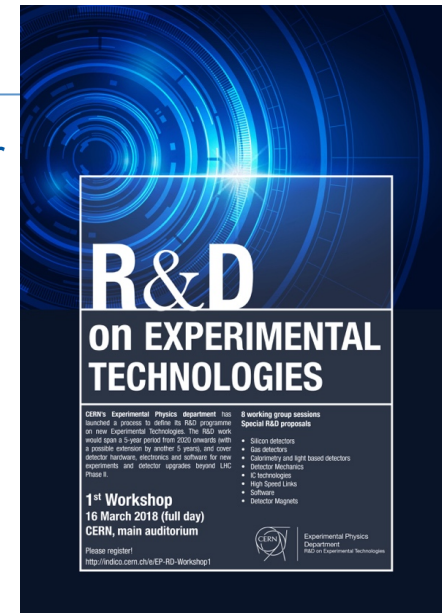
# Introduction

- Le département EP a lancé une concertation sur la R&D pour le futur (au delà de 2020). Le but est d'établir un document avec une proposition de programme vers la fin de l'année.
  - Premier workshop 16 Mars 2018 après consultation dans la communauté <https://indico.cern.ch/event/696066/>
  - Première version des activités proposées transmise par les WP
  - Plusieurs groupes de travail:
    - WG1: Détecteurs à silicium (D. Dannheim, L. Musa, H. Pernegger, P. Riedler) <https://indico.cern.ch/event/704769/>
    - WG2: Détecteurs à gaz
    - WG3: Calorimétrie et détecteurs optiques
    - WG4: Mécanique des détecteurs
    - WG5: IC Technologies (conveners M. Campbell, F. Faccio) <https://indico.cern.ch/event/704624/>
    - WG6: Liens à haut débit
    - WG7: Software
    - WG8: Aimants des détecteurs
- >WG1 & WG5 directement pertinent pour les détecteurs à pixels



# Introduction

- Le département EP a lancé une concertation sur la R&D pour le futur (au delà de 2020). Le but est d'établir un document avec une proposition de programme vers la fin de l'année.
  - Premier workshop 16 Mars 2018 après consultation dans la communauté <https://indico.cern.ch/event/696066/>
  - Première version des activités proposées transmise par les WP
  - Plusieurs groupes de travail:
    - **WG1: Détecteurs à silicium** (D. Dannheim, L. Musa, H. Pernegger, P. Riedler) <https://indico.cern.ch/event/704769/>
    - WG2: Détecteurs à gaz
    - WG3: Calorimétrie et détecteurs optiques
    - WG4: Mécanique des détecteurs
    - **WG5: IC Technologies & IP** (conveners M. Campbell, F. Faccio) <https://indico.cern.ch/event/704624/>
    - WG6: Liens à haut débit
    - WG7: Software
    - WG8: Aimants des détecteurs
- >WG1 & WG5 directement pertinent pour les détecteurs à pixels



## Capteurs CMOS

- couche de détection depletée, technologies plus fines, « stitching », information temporelle, surfaces plus importantes...

## Pixels hybrides (partie capteur WG1, circuit WG5)

- information temporelle, optimisation (active edge,...), environnements extrêmes (radiation, vide,...),...

## Capteurs silicium à large pas, et développements nouveaux

- Ex. détecteurs à strips, pads, CMOS passif, LGAD, ...

## Modélisation et simulation (!)

## Interconnexions et construction de modules

- Techniques industrielles, intégration, post processing, ...

## Infrastructure de laboratoire et instrumentation spécialisée

## Technologies CMOS

- Effets de radiation
- Outils de CAO (surtout numérique et mixed-mode (système et SOC), et outils de collaboration), « enablers » (Design kit, NDA...), ...

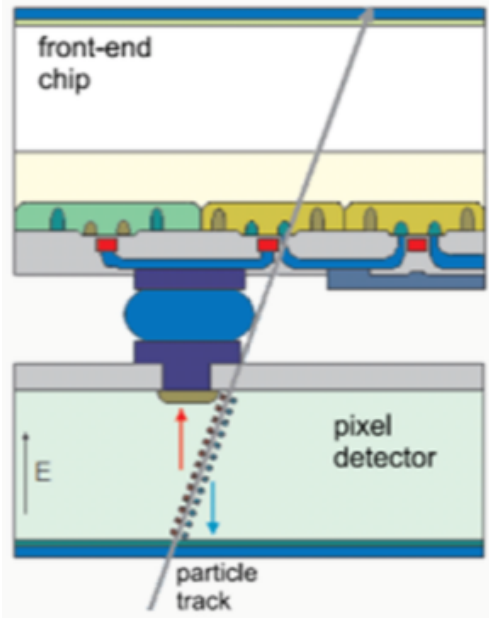
## Techniques d'assemblage

- Flip-chip, TSV...

## Conception et IP

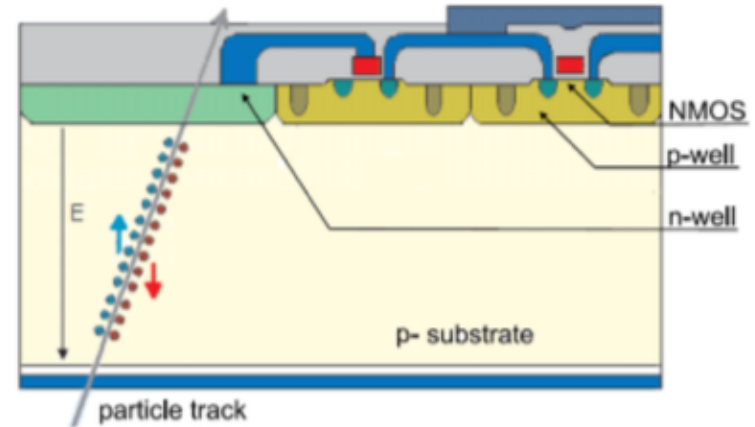
- Circuit pour détecteurs à pixels hybride
- Basse tension et basse consommation
  - Appareillement et bruit
  - Structures avec plusieurs transistors en série pour opération à des tensions plus élevées
  - IP: références de tension, PLL, DLL, transmission de données, amplificateurs à bas bruit,...
- Distribution de puissance
  - Régulateurs intégrés pour SOC
  - Convertisseurs intermédiaires
  - Convertisseurs distribués (Point of Load) à efficacité plus élevée

# Détecteurs à pixel: Hybride versus Monolithique



## Hybride

- Large majorité des systèmes installés
- 100 % fill factor obtenu facilement
- Capteur et circuit de lecture peuvent être optimisés séparément
  - Autres matériaux pour le capteur
  - ASIC standard CMOS (souvent plus dense que les imaging processes)



## Monolithique

- Intégration plus facile, moindre coût
- Prometteur non seulement pour les pixels mais aussi pour les trackers
- Potentiellement un impact important sur le budget matériaux
- MAPS sont installés à STAR and adoptés pour l'upgrade de l'ALICE ITS

**Nouvelles technologies** (Through-Silicon-Vias, microbumping, etc) font que la **distinction est plus vague**. « Stacked CMOS imagers » sont disponibles dans l'industrie mais souvent pas avec une connexion individuelle pour chaque pixel.

# Spécifications pour les « trackers »

	<b>RHIC STAR</b>	<b>LHC - ALICE ITS</b>	<b>CLIC</b>	<b>HL-LHC Outer Pixel</b>	<b>HL-LHC Inner Pixel</b>	<b>FCC pp</b>
NIEL [ $n_{eq}/cm^2$ ]	$10^{12}$	$10^{13}$	$<10^{12}$	$10^{15}$	$10^{16}$	$10^{15}-10^{17}$
TID	0.2Mrad	$<3$ Mrad	$<1$ Mrad	80 Mrad	2x500Mrad	$>1$ Grad
Hit rate [MHz/cm <sup>2</sup> ]	0.4	10	$<0.3$	100-200	2000	200-20000

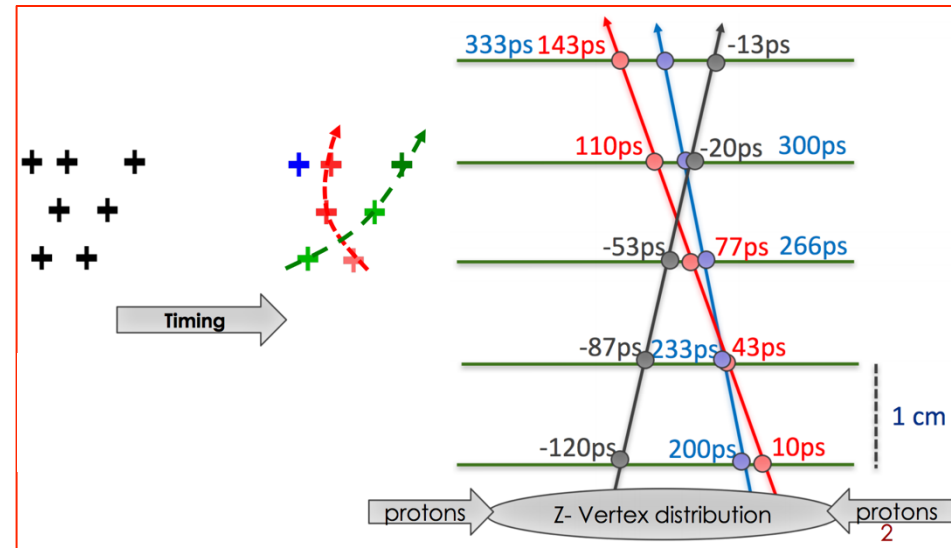
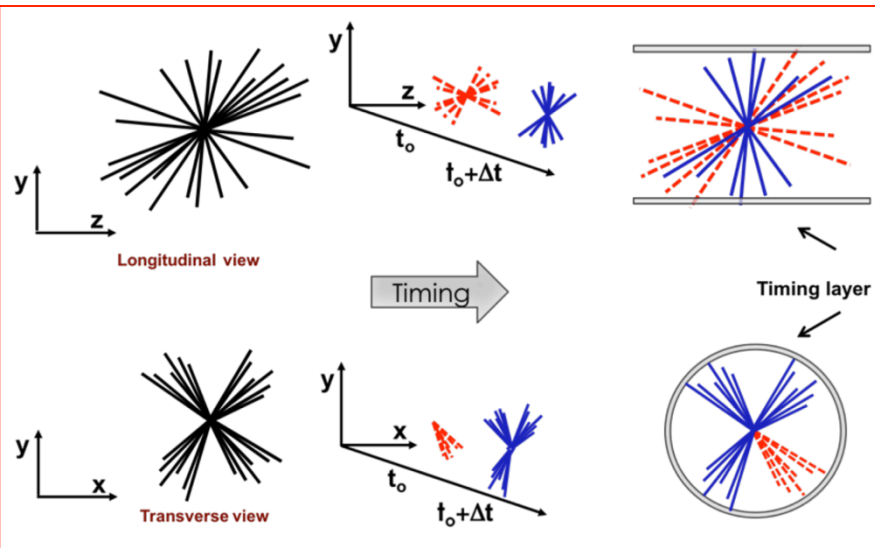


# Le temps: « Tracking » en 4D

Need sub-nanosecond track time to suppress background in environments with large pile-up (HL-LHC, FCC) → **4D tracking**

Separate timing layers with coarser granularity  
→ timing for reconstructed tracks  
(e.g. HL-LHC upgrades **~30 ps**)

Timing within pixel layers  
→ time info for pat rec  
(e.g. **LHCb Upgrade II 20-200 ps**, depending on pixel size, radiation)

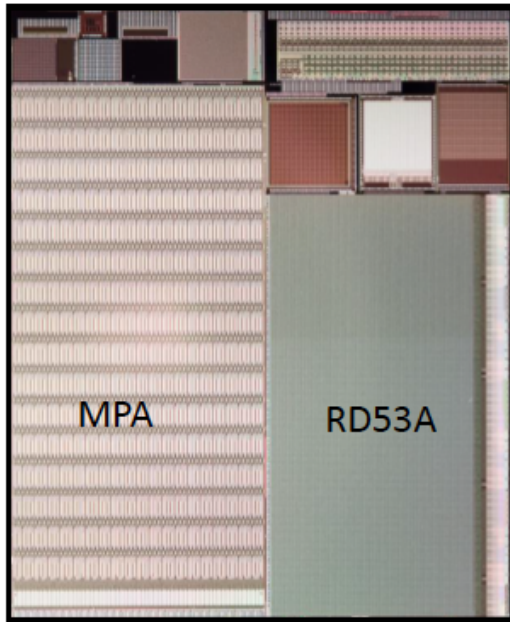


N. Cartiglia

- Trade-off between time resolution and pixel size / layer thickness
- FCChh needs track timing at **5 ps** up to  **$6 \times 10^{17}$  n<sub>eq</sub>/cm<sup>2</sup>** fluences



# Détecteurs à pixels hybrides: R&D actuel: RD53



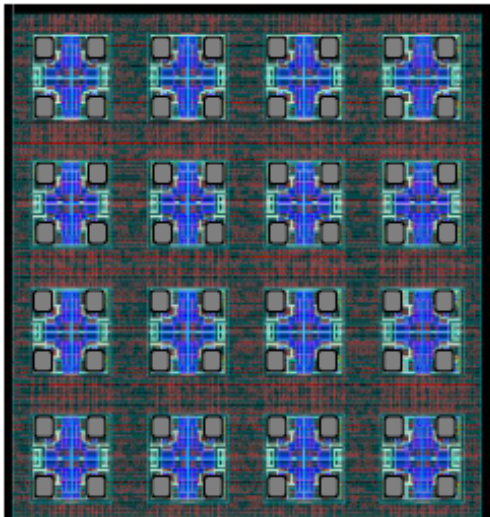
RD 53 est une collaboration entre les communautés ATLAS et CMS pour le développement de circuits de lecture pour détecteurs a pixels hybrides pour les upgrades phase-2 d'ATLAS et CMS

24 institutions d'Europe et des Etats-Unis

## But

- Compréhension détaillée des effets de radiation sur la technologie 65nm résultant dans des guidelines pour la conception des circuits durcis
- Développement d'une méthodologie pour concevoir des grands circuit mixed-mode de façon efficace
- Développement d'une librairie d'IP durcie.
- Conception d'un circuit de lecture pour pixels à pleine échelle.

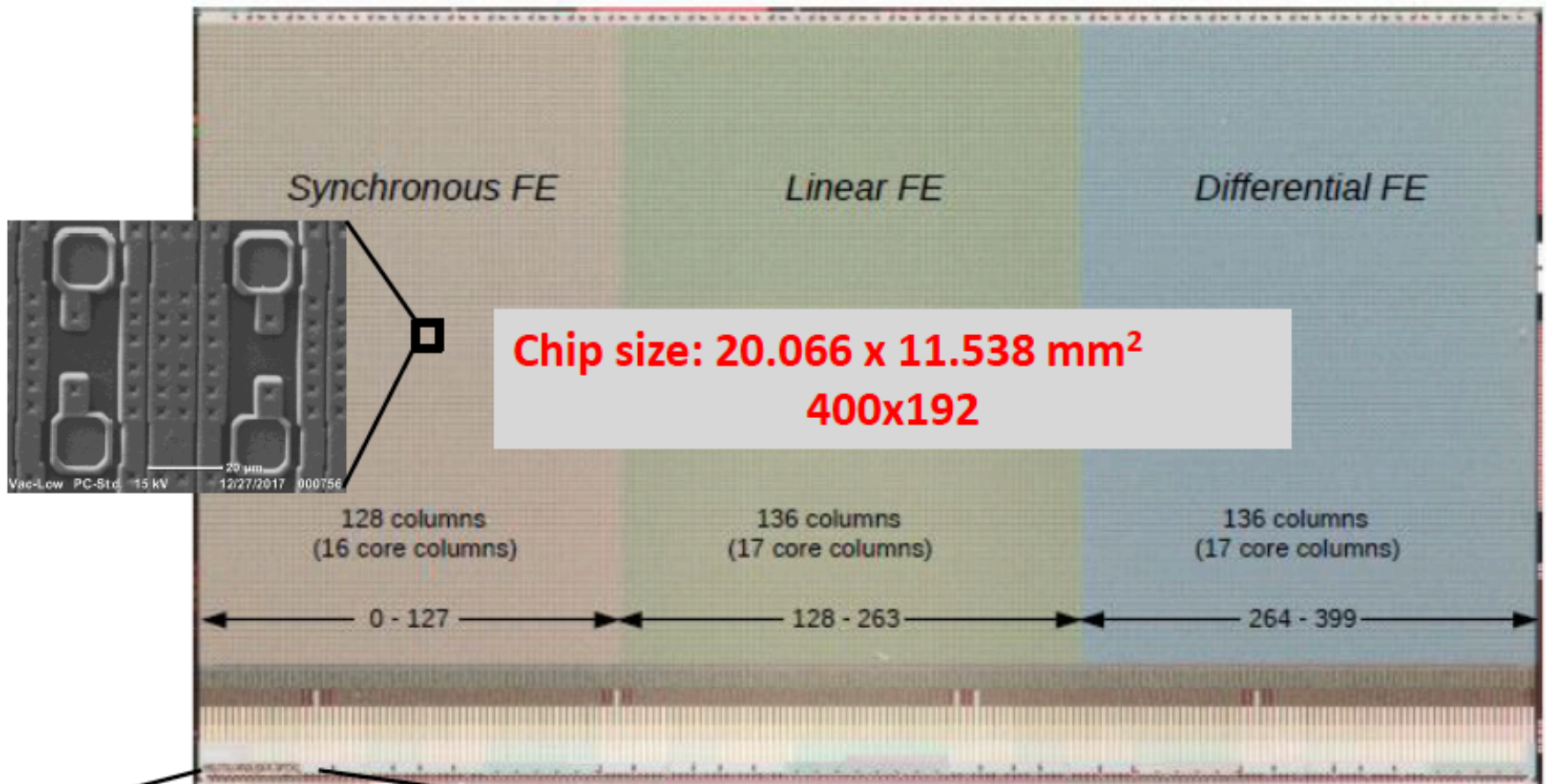
Des « îles » analogiques dans une mer numérique



Premier prototype RD53A fabriqué et testé, résultats très prometteurs.

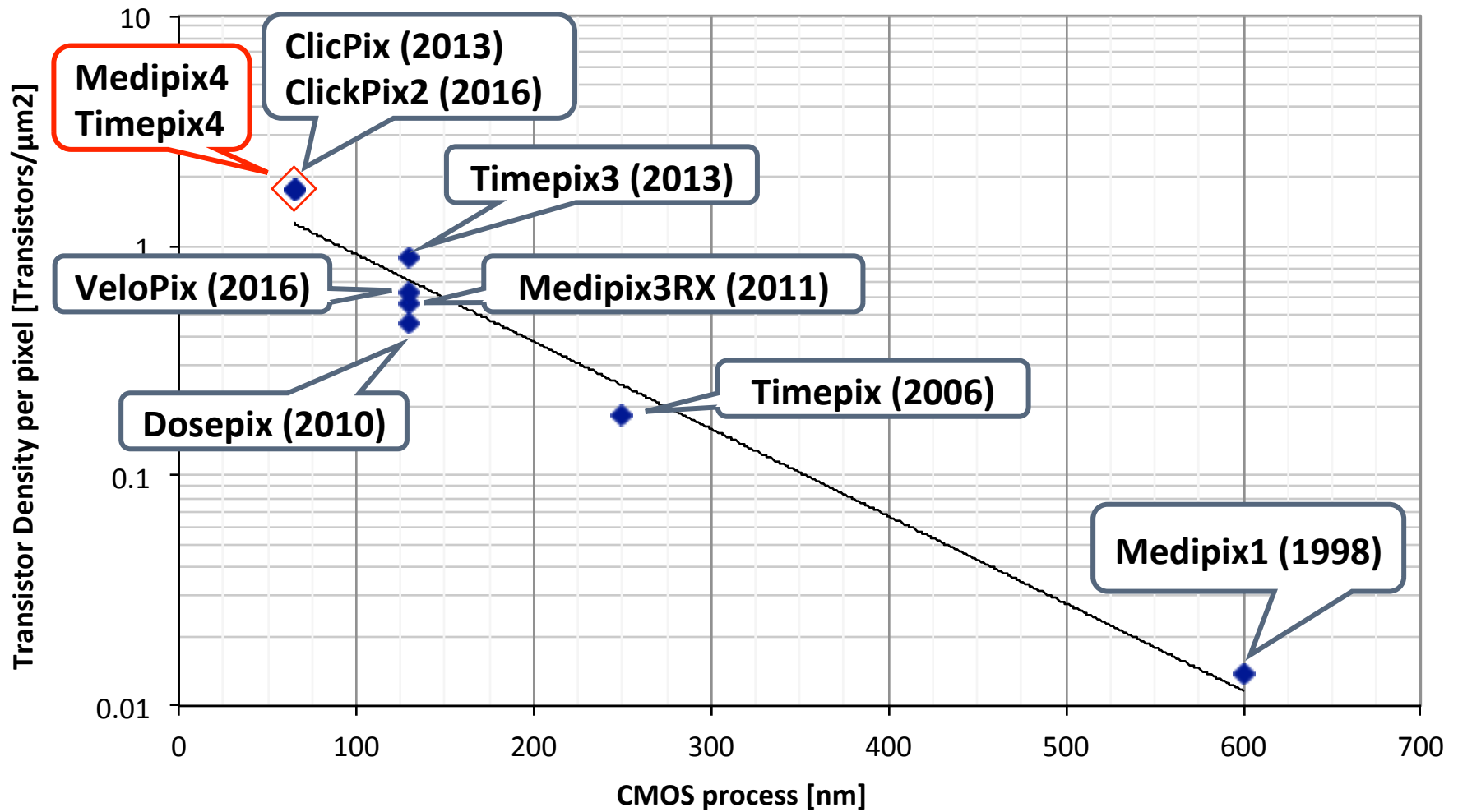
[https://indico.cern.ch/event/689061/attachments/1649551/2637551/Loddo\\_RD53A\\_PH-ESE\\_15May2018.pdf](https://indico.cern.ch/event/689061/attachments/1649551/2637551/Loddo_RD53A_PH-ESE_15May2018.pdf)

# Détecteurs à pixels hybride: R&D actuel: RD53

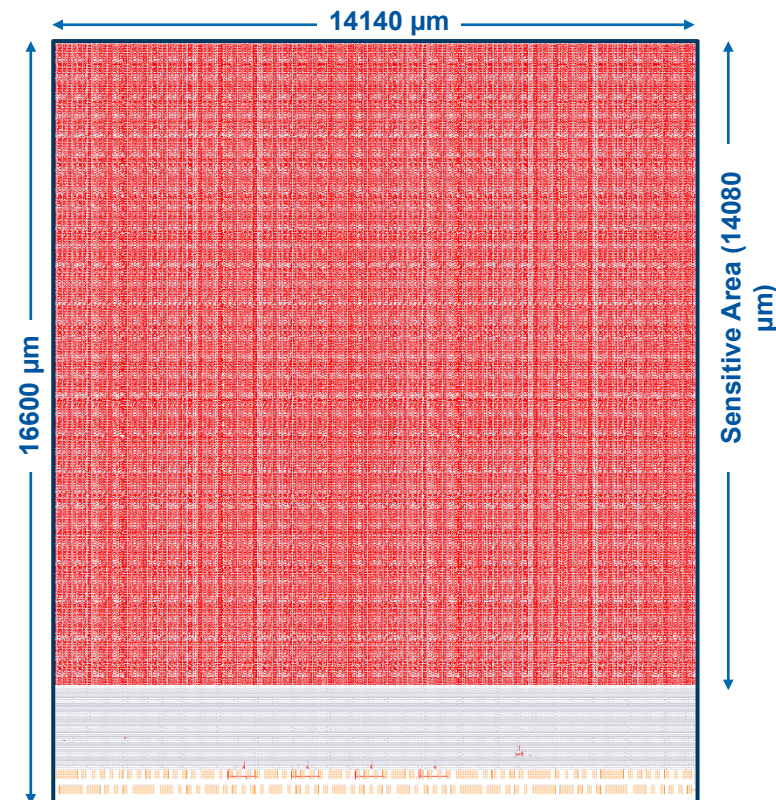
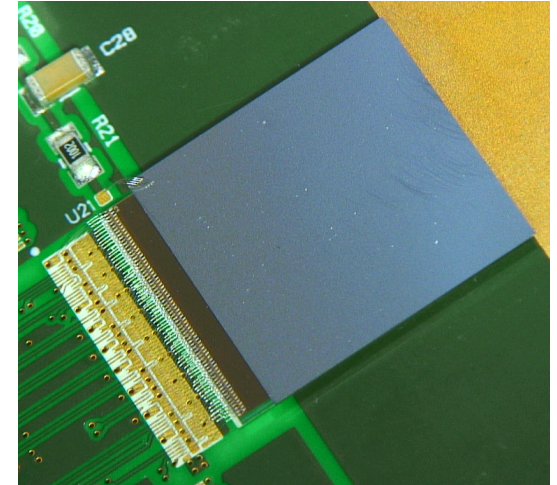


- Aug. 31, 2017: Submission
- Dec. 6, 2017: First chip test
- Mar. 15, 2018: 25 wafers ordered
- Apr. 13, 2018: First bump-bonded chip test



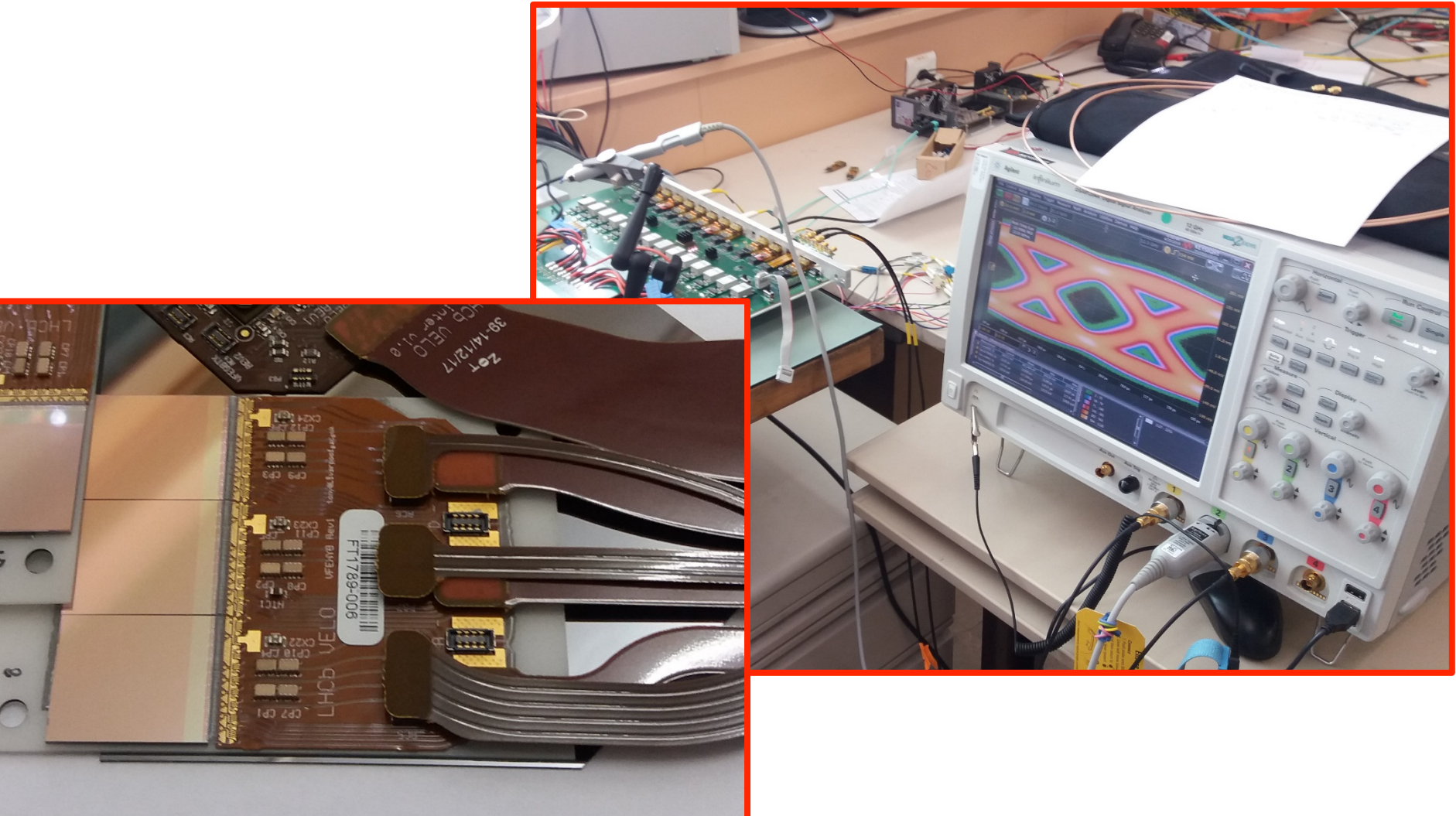


<b>Application</b>	LHCb Vertex Locator upgrade
<b>Technology</b>	CMOS 130nm
<b>Pixel size</b>	55 x 55 $\mu\text{m}^2$
<b>Pixel arrangement</b>	256 x 256 (2x4 superpixels)
<b>Acquisition modes</b>	<ol style="list-style-type: none"> <li>1) Time (TOA)</li> <li>2) PC or charge (TOT) 6-bits</li> </ol>
<b>Readout Type</b>	<ol style="list-style-type: none"> <li>1) Data driven (Shutter-less)</li> <li>2) Frame-based (Shutter)</li> </ol>
<b>Thresholds</b>	1
<b>Minimum threshold</b>	> 500 e-
<b>Time resolution (TOA)</b>	25 ns
<b>Power consumption</b>	<1.5W @1.2 V
<b>Floorplan</b>	3 sides buttable and minimum periphery
<b>TSVs possibility</b>	YES. Multi-dicing scheme as Medipix3
<b>Count Rate</b>	Data-Driven: $\sim 5 \times 10^6$ hits/mm <sup>2</sup> /s
<b>Output bandwidth</b>	4 serializers @ 5.12 Gbps each



# Velopix: lien à haut débit 5.12 Gb/s

Module de 3 velopix avec tous les liens à 5.12 Gb/s sur 1m de câble



# Collaboration Medipix4

---

- Medipix4 Collaboration is set to provide the next generation of Medipix4 family chips (Medipix4 and Timepix4)
- Main characteristics:
  - Use of a **commercial 65nm CMOS** technology
  - **4-side buttable** architecture → periphery integrated inside the pixel matrix
  - **Performance improvements** from previous generation:
    - Medipix4: Count rate, gain linearity
    - Timepix4: Count rate, TOA and TOT resolution
  - **Larger ASICs**
  - **Digital-On-Top** design methodology
- Agreement signed on May 2016



• Today already 14 groups



# Timepix3 -> Timepix4

Timepix4: A 4-side tillable large single threshold particle detector chip with improved energy and time resolution and with high-rate imaging capabilities

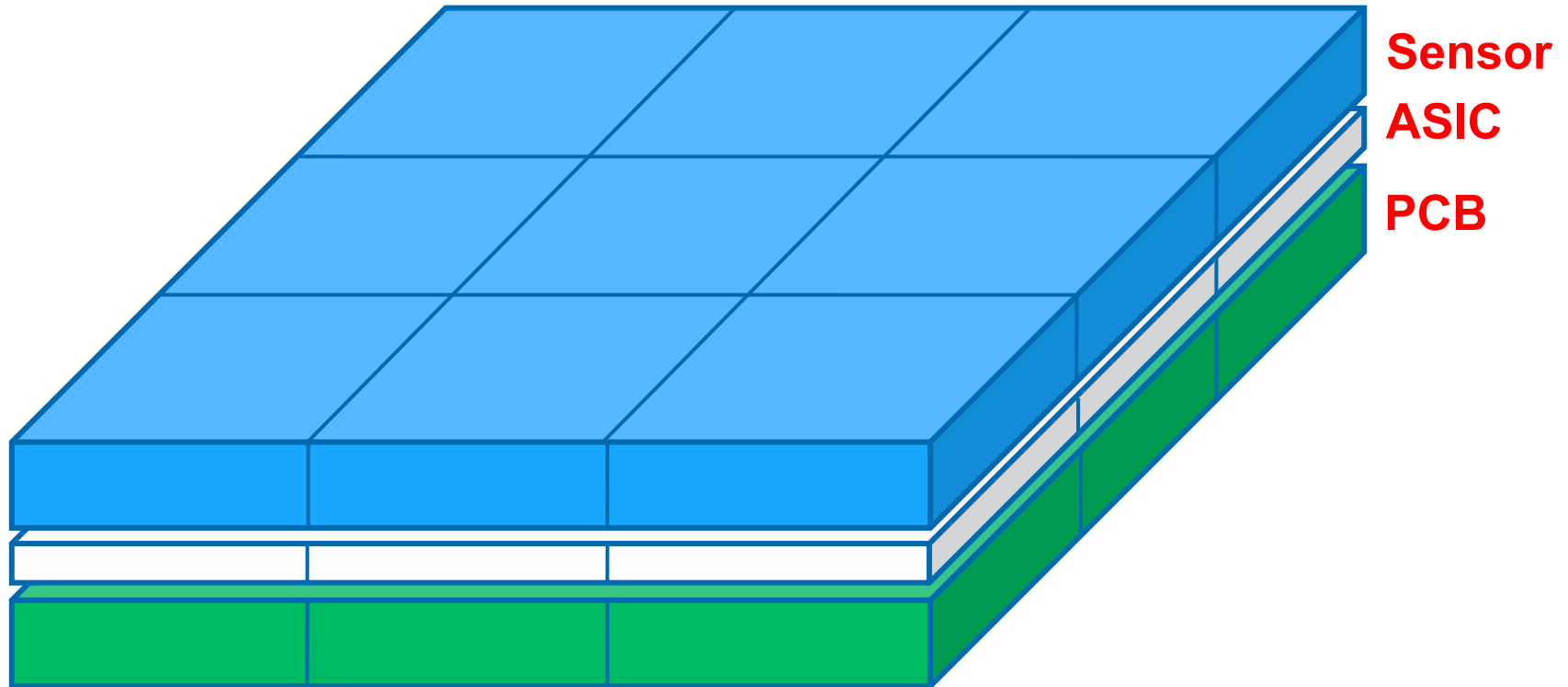
		<b>Timepix3 (2013)</b>	<b>Timepix4 (2018/19)</b>	
<b>Technology</b>		CMOS 130nm – 8 metal	CMOS 65nm – 10 metal	
<b>Pixel Size</b>		55 x 55 $\mu\text{m}$	55 x 55 $\mu\text{m}$	
<b>Pixel arrangement</b>		3-side buttable 256 x 256	4-side buttable 512 x 448 <b>3.5x</b>	
<b>Sensitive area</b>		1.98 $\text{cm}^2$	6.94 $\text{cm}^2$	
<b>Readout Modes</b>	Data driven (Tracking)	Mode	TOT and TOA	
		Event Packet	48-bit      64-bit <b>33%</b>	
		Max rate	< 43 Mhits/ $\text{cm}^2/\text{s}$ 178.8 Mhits/ $\text{cm}^2/\text{s}$ <b>4x</b>	
	Frame based (Imaging)	Mode	PC (10-bit) and iTOT (14-bit)	CRW: PC (8 or 16-bit)
		Frame	Zero-suppressed (with pixel addr)	Full Frame (without pixel addr) CRW (8-bit / 16-bit) Up to 44 KHz frame @8 <b>10x</b>
		Max count rate	82 Ghits/ $\text{cm}^2/\text{s}$	~800 Ghits/ $\text{cm}^2/\text{s}$ <b>2x</b>
<b>TOT energy resolution</b>		< 2KeV	< 1Kev <b>8x</b>	
<b>Time resolution</b>		1.56ns	~200ps	
<b>Readout bandwidth</b>		$\leq 5.12\text{Gb}$ (8x SLVS@640 Mbps)	$\leq 81.92\text{ Gbps}$ (16x @5.12 Gbps)	

# Timepix4: front end

	<b>e<sup>-</sup> collection</b>	<b>h<sup>+</sup> collection</b>	<b>h<sup>+</sup> collection (log gain)</b>
<b>Gain</b>	~50 mV/ke <sup>-</sup>	~50 mV/ke <sup>-</sup>	~25 mV/ke <sup>-</sup>
<b>ENC (@C<sub>in</sub>=50fF)</b>	~60 e <sup>-</sup> <sub>rms</sub>	~60 e <sup>-</sup> <sub>rms</sub>	~65 mV/ke <sup>-</sup>
<b>Minimum threshold</b>	< 400 e <sup>-</sup>	< 400 e <sup>-</sup>	< 450 e <sup>-</sup>
<b>TOA Jitter</b>	<40 ps <sub>rms</sub> Q <sub>in</sub> > 10Ke <sup>-</sup>		
<b>TOT linearity</b>	< 250 ke <sup>-</sup>	< 200 ke <sup>-</sup>	< 800 ke <sup>-</sup>
<b>Pixel analog power</b>	<7.5uA (@1.2V, 9 μW)		

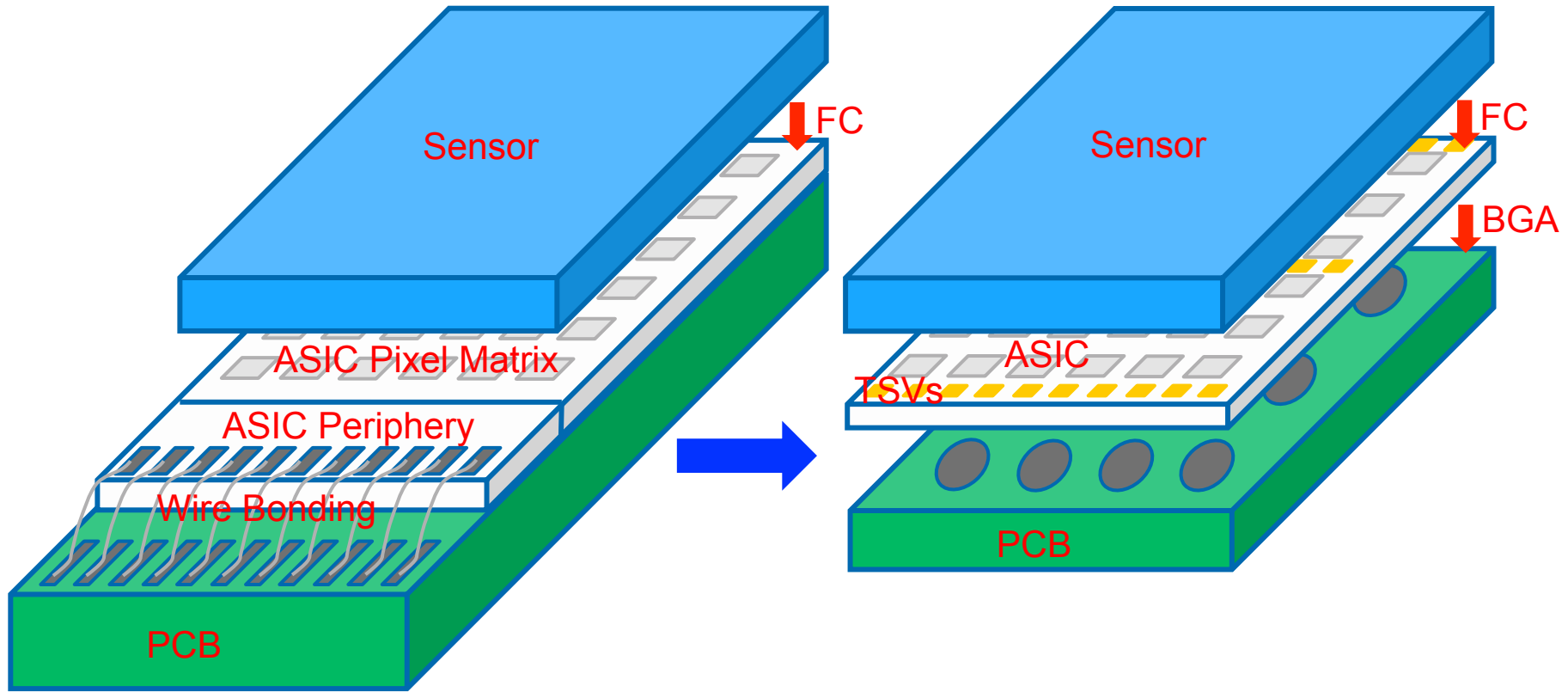
- ENC vs C<sub>in</sub> slope ~0.3 e<sup>-</sup>/fF
- ENC vs I<sub>leak</sub> slope ~4 e<sup>-</sup>/nA

## « 4-side buttable »: motivation



- Construction de **détecteurs à surface importante** en combinant des modules plus petits

# « 4-side buttable »: défi



« through-silicon vias » (TSVs)

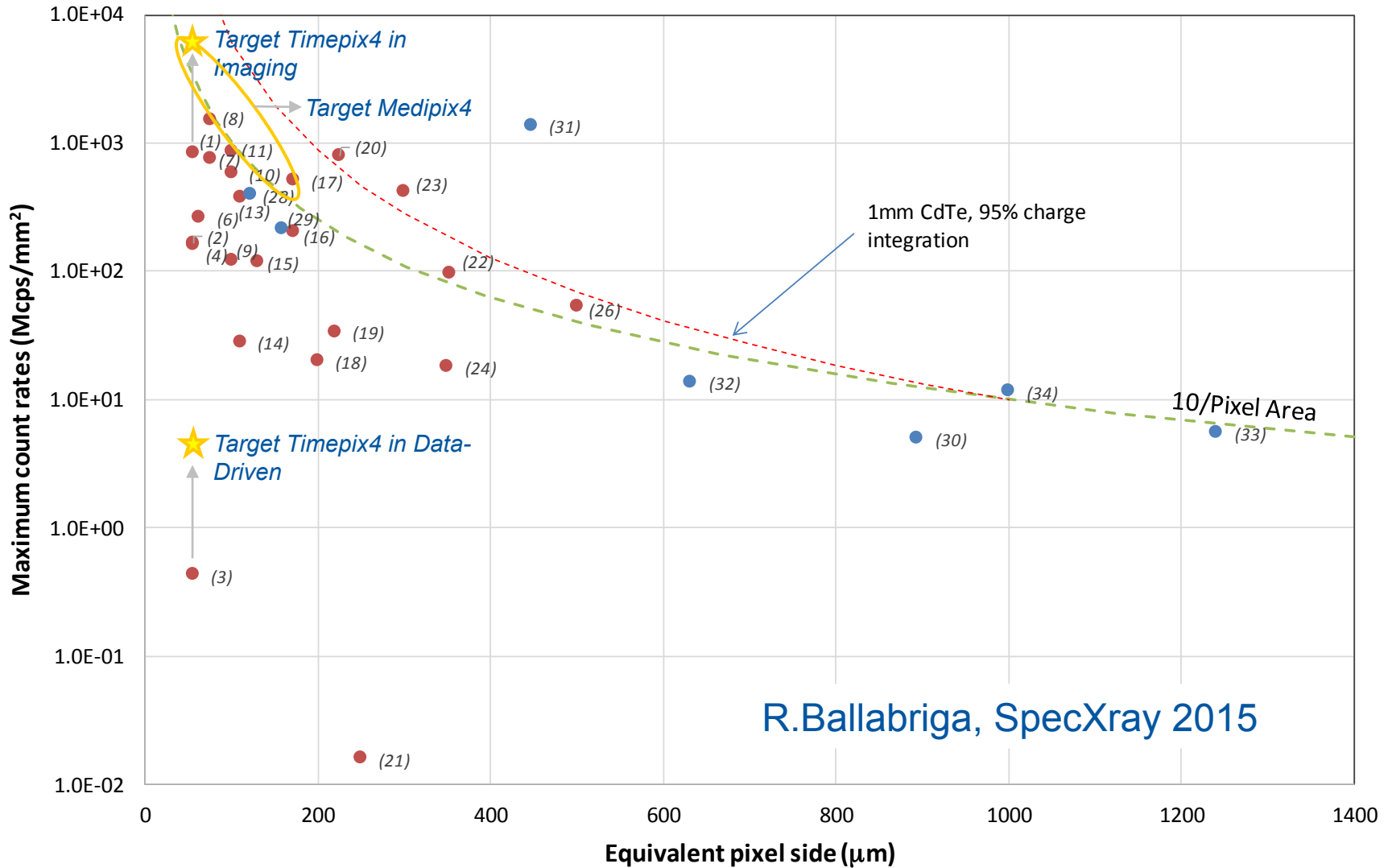
sont la technologie clé

# « 4-side buttable »: avantages et désavantages

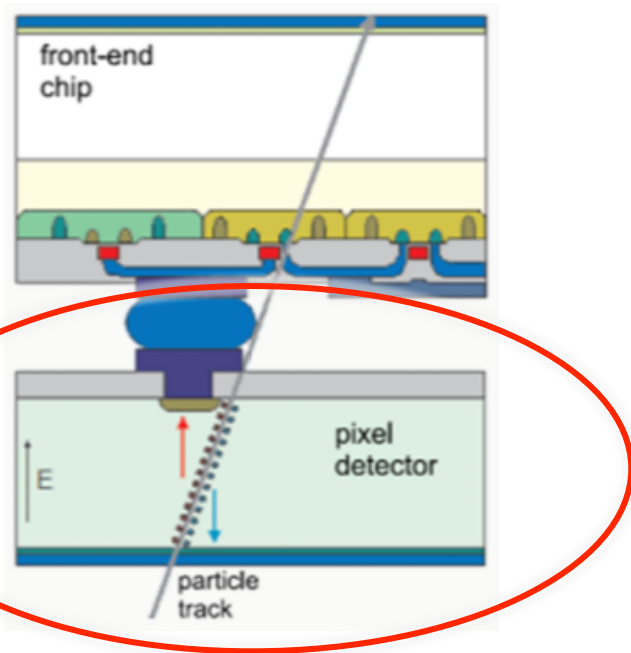
---

- Avantages:
  - Construction de surface plus large sans surface morte
  - Meilleure distribution de la puissance sur les circuits (TSV) → permet des circuits intégrés plus larges
  - Plus robuste mécaniquement (sans bonds à fil)
- Désavantages:
  - Périphérie intégrée dans les pixels ou cachée → Couche de redistribution (RDL) entre capteur et entrée du pixel
  - RDL → Augmentation de la capacité d'entrée et le « cross-talk » (~30-50fF)
  - Les couches de métaux supérieures sont « bloquées » → Pas de MiMCaps, Inductances...
  - Composants seulement disponibles après l'implémentation du TSV (pas de bonds à fil)

# Taux de comptage prévus pour medipix4 et timepix4



# Optimisation du capteur

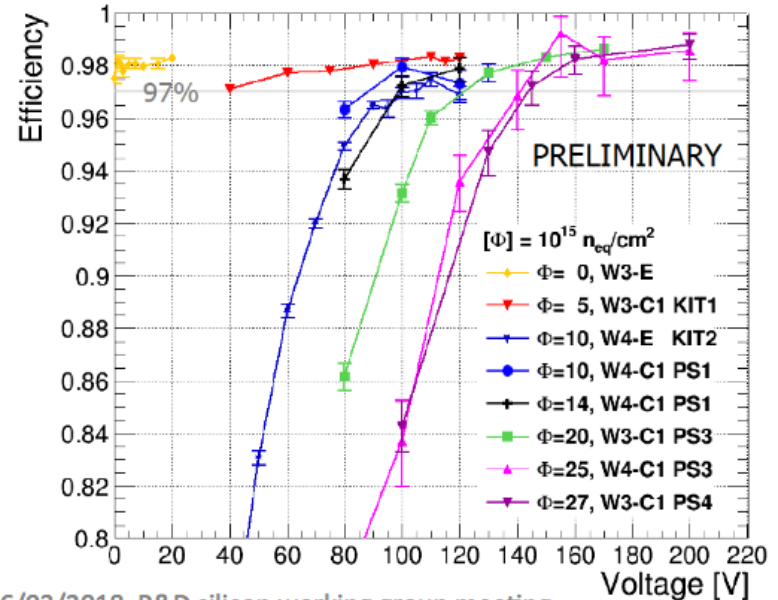


Capteur spécial pour tolérance à la radiation extrême ou pour résolution temporelle extrême

Circuit de lecture dédié pour des taux de particules très élevés, et fonctionnalité numérique (mémoire, TDC...)

Exemple: ATLAS Itk 3D

3D CNM, 50x50  $\mu\text{m}^2$  1E, d=230  $\mu\text{m}$ , 1.0 ke<sup>-1</sup>, 0°



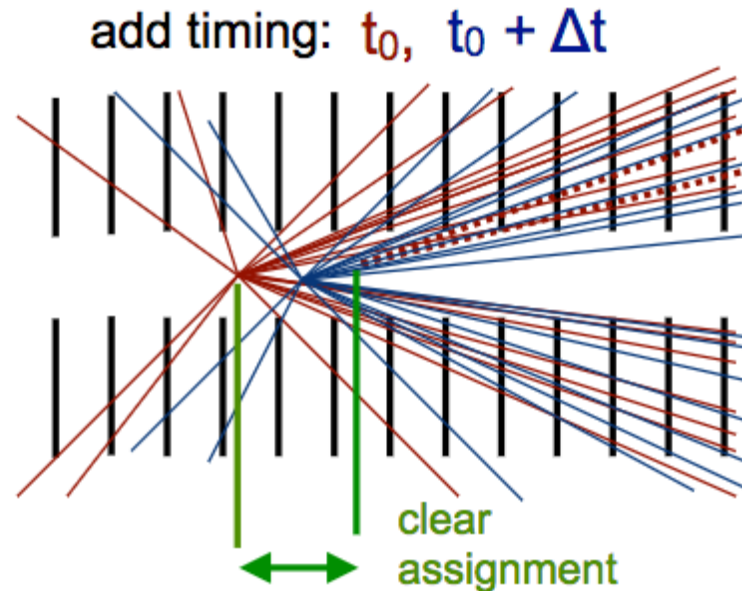
- Capteurs 3D et planaire avec une tolérance à la radiation  $>10^{16}$  n<sub>eq</sub>/cm<sup>2</sup> pour HL-LHC sur plaque 4" 6". Continuation du développement:
  - Meilleure lithographie pour des pixels plus petits en 3D
  - Optimisation du « active edge »
  - Evolution vers plaques 8"
- Développement des capteurs spéciales pour des applications à haute résolution temporelle

# Augmentation et intégration de la fonctionnalité

- Par exemple: tracking en 4D

*LHCb Upgrade II*

two  
primary  
vertices +  
time  
decoding  
 $t_0, t_0 + \Delta t$

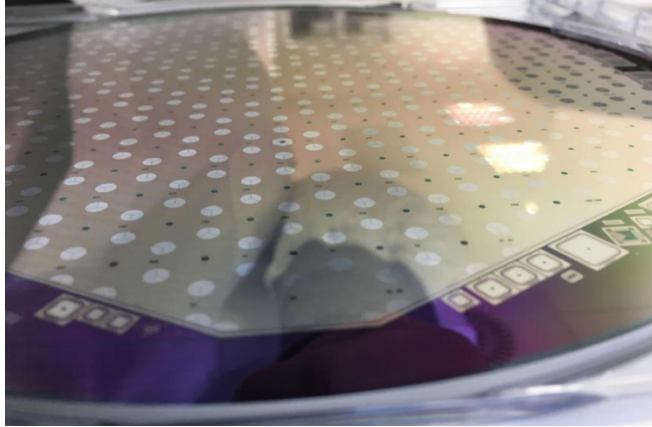


- Circuit de lecture à très haut débit de sortie ( $>20\text{Gbps/ASIC}$ ) et une résolutions temporelle  $\ll 1\text{ns}$
- Demande une consommation élevée et un bon refroidissement dans un assemblage hybride mince.
- R&D essentiel sur l'intégration de circuits intégrés (3D stacking, Si interposer, ...)



# Silicon pad detectors

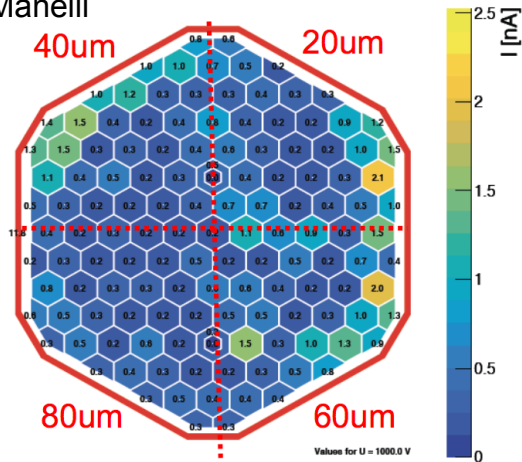
Si pad detectors with  $\sim 0.5\text{-}1\text{ cm}^2$  area for active layers of fine-grained sampling calorimeters



*CMS-HGCAL sensor wafer*

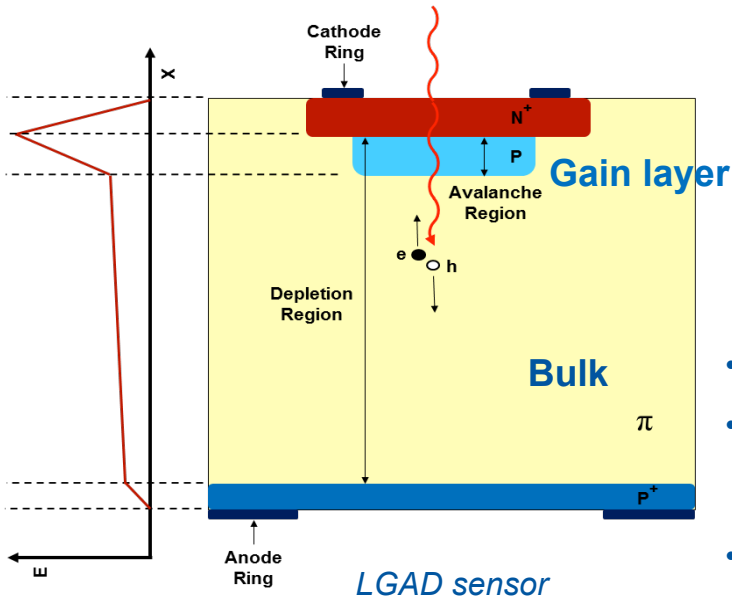
- State of the art: **CMS-HGCAL**
  - $600\text{ m}^2$  of silicon pads, fluence up to  $10^{16}\text{ n}_{\text{eq}}/\text{cm}^2$ ,
  - $<100\text{ ps}$  timing per cell at 3.5 MIPs and  $\text{S/N}\sim 40$
- Si pad detectors under consideration for EM and forward calorimeters at future facilities (LHCb Upgrade II, ILC, CLIC, FCC)
- Many challenges at **system level**: readout ASICs, clock distribution, module design, interconnects, cooling, automated production
  - Mainly addressed in **Calorimeter** and **IC WGs**
- Silicon-specific R&D needs (WG 1):
  - **Sensor technology**: planar, passive CMOS, LGAD
  - Sensor **characterization** and **simulation**
  - Understanding/mitigation of **radiation effects**

M. Manelli



*CMS-HGCAL sensor leakage currents*

# LGAD timing sensors

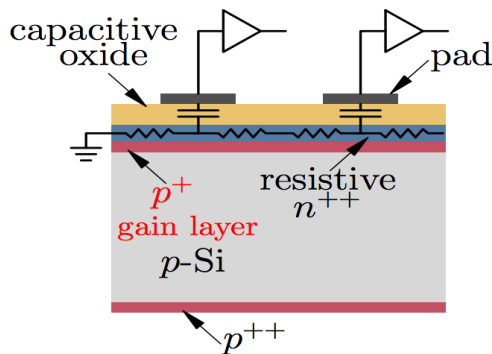


Low Gain Avalanche Detectors (LGAD):  
 Multiplication of charges ( $\sim 10-100x$ ) in thin gain layer  $\rightarrow$  fast rise time, increased S/N

$$\sigma_{\downarrow t}^2 = \sigma_{\downarrow Jitter}^2 + \sigma_{\downarrow TimeWalk}^2 + \sigma_{\downarrow LandauNoise}^2 + \sigma_{\downarrow Distortion}^2 + \sigma_{\downarrow TDC}^2$$

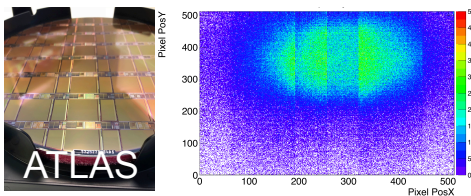
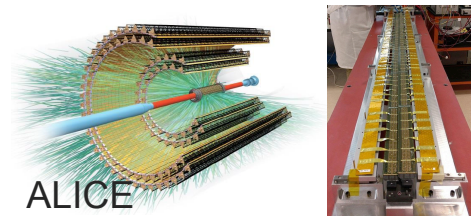
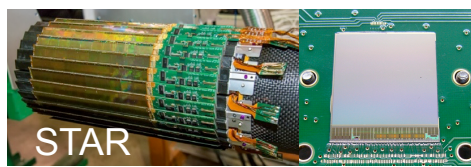
- Several vendors: CNM, FBK, HPK
- Reached  **$\sim 20$  ps** for few mm<sup>2</sup> size sensors  $\rightarrow$  considered for HL-ATLAS/CMS/LHCb **timing layers**
- Limiting factors for time resolution:
  - Weighting **field uniformity**  $\rightarrow$  favors larger pixels
  - **Radiation effects**  $\rightarrow$  ok up to  $\sim 10^{15}$ , mitigation measures under study for higher fluences
  - **r/o electronics + clock distribution**  $\rightarrow$  IC work package
- R&D to achieve **larger fill factors** (currently  $\sim 100$   $\mu\text{m}$  inactive region between pixels):
  - $\rightarrow$  resistive electrodes (as in RPCs)
  - $\rightarrow$  3D trench detectors
- **CERN involved** through EP-DT (within RD50) + ATLAS/CMS HL-LHC upgrades: characterization, modelling + simulation of rad. effects, r/o electronics

N. Cartiglia, H. Sadrozinski



LGAD sensor with resistive electrodes

# Les capteurs monolithiques évoluent vers les technos CMOS standards



- Les technologies CMOS submicroniques standards:
  - ont évolué « naturellement » vers:
    - Une très haute tolérance à la radiation ionisante (qqs caveats, cfr F. Faccio et al.)
    - Disponibilité de substrats compatible avec la détection de radiation ionisante
  - et offrent:
    - Production en volume a cout raisonnable: 1 000 000 300mm plaques/an/fab
      - (ALICE 10 m<sup>2</sup> ITS : 1400 200 mm wafers)
    - Haute densité, circuits performants, capteurs à l'échelle d'une plaque par « stitching »
    - Des couches de détection minces
      - Potentiellement une tres haute tolerance à la radiation non-ionisante
      - Une precision temporelle inherente

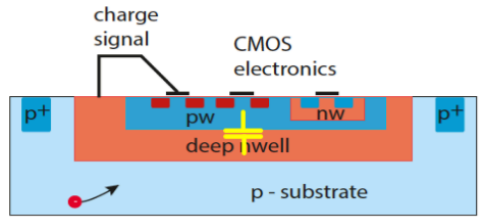
## Progrès significatif a chaque itération:

- ULTIMATE dans STAR: premier CMOS MAPS dans HEP, lecture « rolling shutter »
- ALPIDE dans ALICE: premier CMOS MAPS avec lecture similaire à des capteurs hybrides
- CMOS dans ATLAS:
  - tolérance à la radiation plus élevée
  - (en utilisant la modification du procédé de fabrication développe par ALICE ou en utilisant une électrode de collection plus large
  - Plusieurs aspects système nouveaux : alimentation sérielle, polarisation du capteur, ...

Et autres...

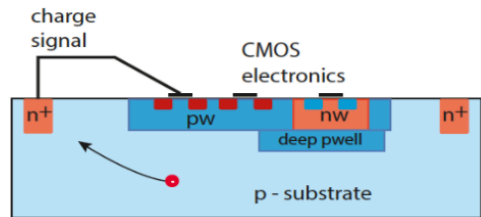
# Stratégies différentes pour le capteur et l'électrode de collection

## Electrode large



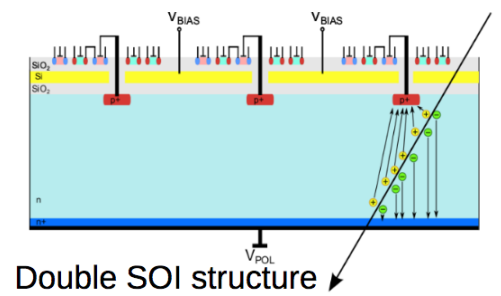
- Circuit dans l'électrode de collection
- Pas ou très peu de région a bas champs électrique
- Très peu de distance a couvrir pour les porteurs de charge pour augmenter la tolérance a la radiation
- Capacité du capteur (plus) large (dpw/dnw) → plus de bruit et plus lent pour une certaine consommation
- Risque de « cross-talk » entre le circuit analogue et numérique

## Petite électrode



- Circuit en dehors de l'électrode de collection
- Petite capacité pour Signal/ Bruit élevé et des signaux rapides
- Séparation des circuits analogiques et numériques
- Plus de distance a couvrir pour les porteurs de charge → demande des modifications dans la fabrication pour obtenir un durcissement

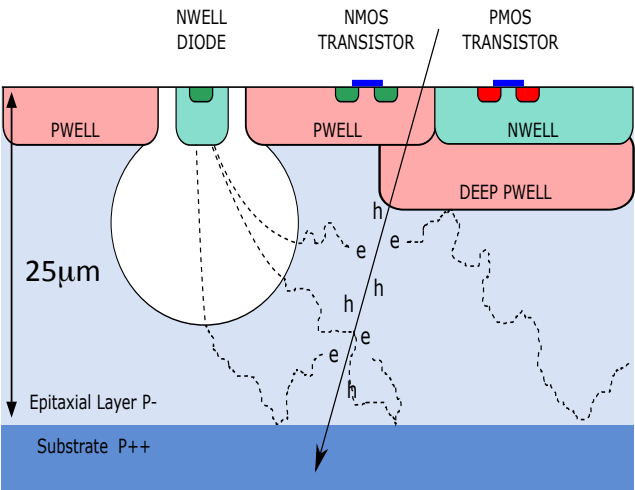
## Electrode enterrée (SOI)



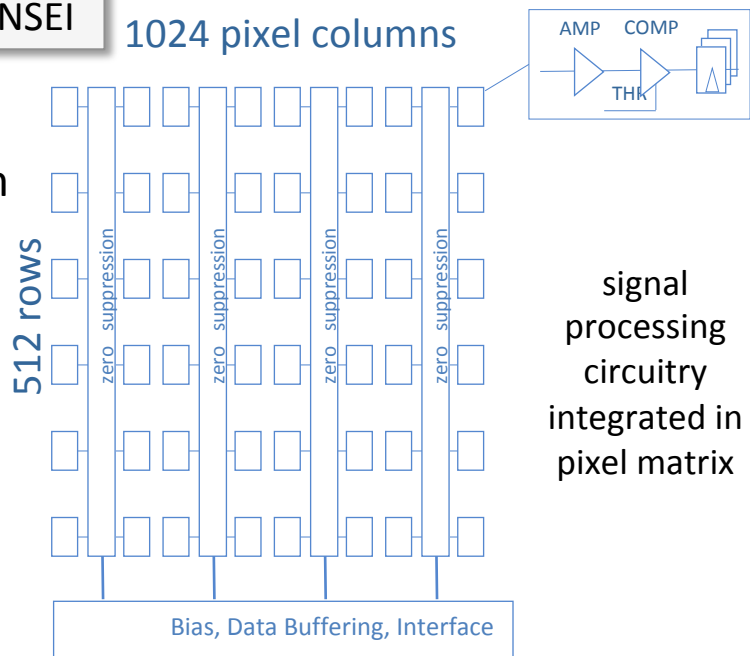
- Circuit et capteur dans des couches différentes
- Liberté de choisir le substrat
- Conception/procédé de fabrication spéciale requis pour obtenir un durcissement suffisant

# ALPIDE – A novel CMOS Pixel Sensors for the ALICE Upgrade

R&D: CERN, CCNU, IPHC, INFN, IRFU, NIKHEF, RAL, YONSEI

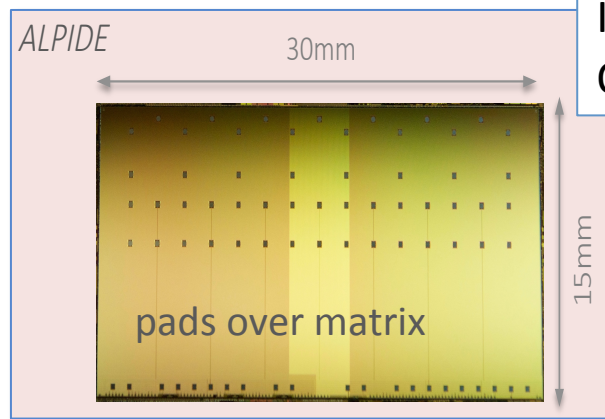


CMOS 180nm



signal processing circuitry integrated in pixel matrix

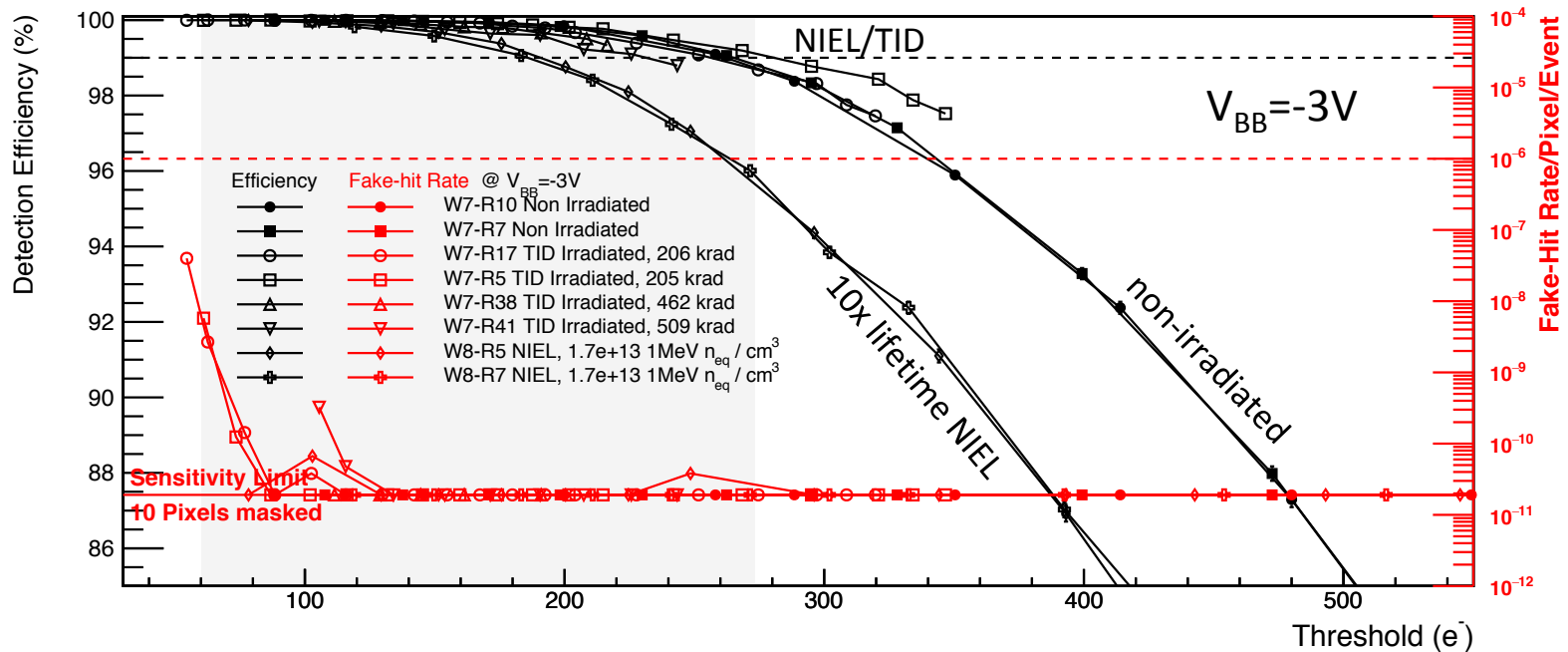
pixel capacitance 2.5 fF (@  $V_{bb} = -3V$ )  $\Rightarrow$  MIP signal  $\sim 50mV$



IB: 50µm thick  
OB: 100µm thick

- 130,000 pixels / cm<sup>2</sup> 27x29x25 µm<sup>3</sup>
- Charge collection time < 30ns ( $V_{bb} = -3V$ )
- spatial resolution  $\sim 5 \mu m$
- max particle rate  $\sim 100 \text{ MHz} / \text{cm}^2$
- fake-hit rate:  $< 10^{-9}$  pixel / event

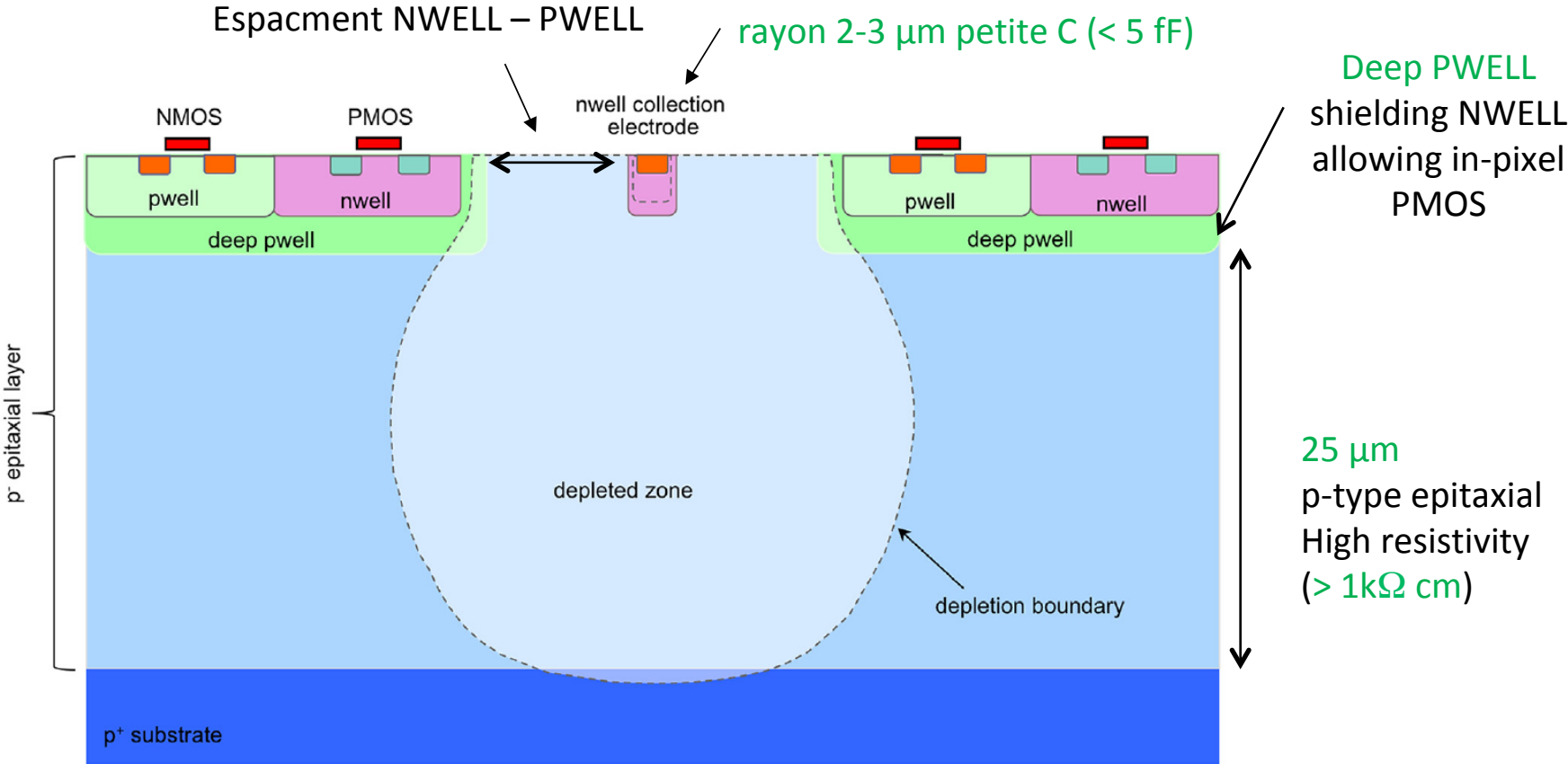
# ALPIDE Detection Efficiency and Fake Hit Rate



- Large operational margin with only 10 masked pixels (0.002%)
- Chip-to-chip fluctuations negligible
- Non-irradiated and NIEL/TID chips show similar performance
- Sufficient operational margin after 10x lifetime NIEL dose

# Procédé TowerJazz 180 nm CMOS standard

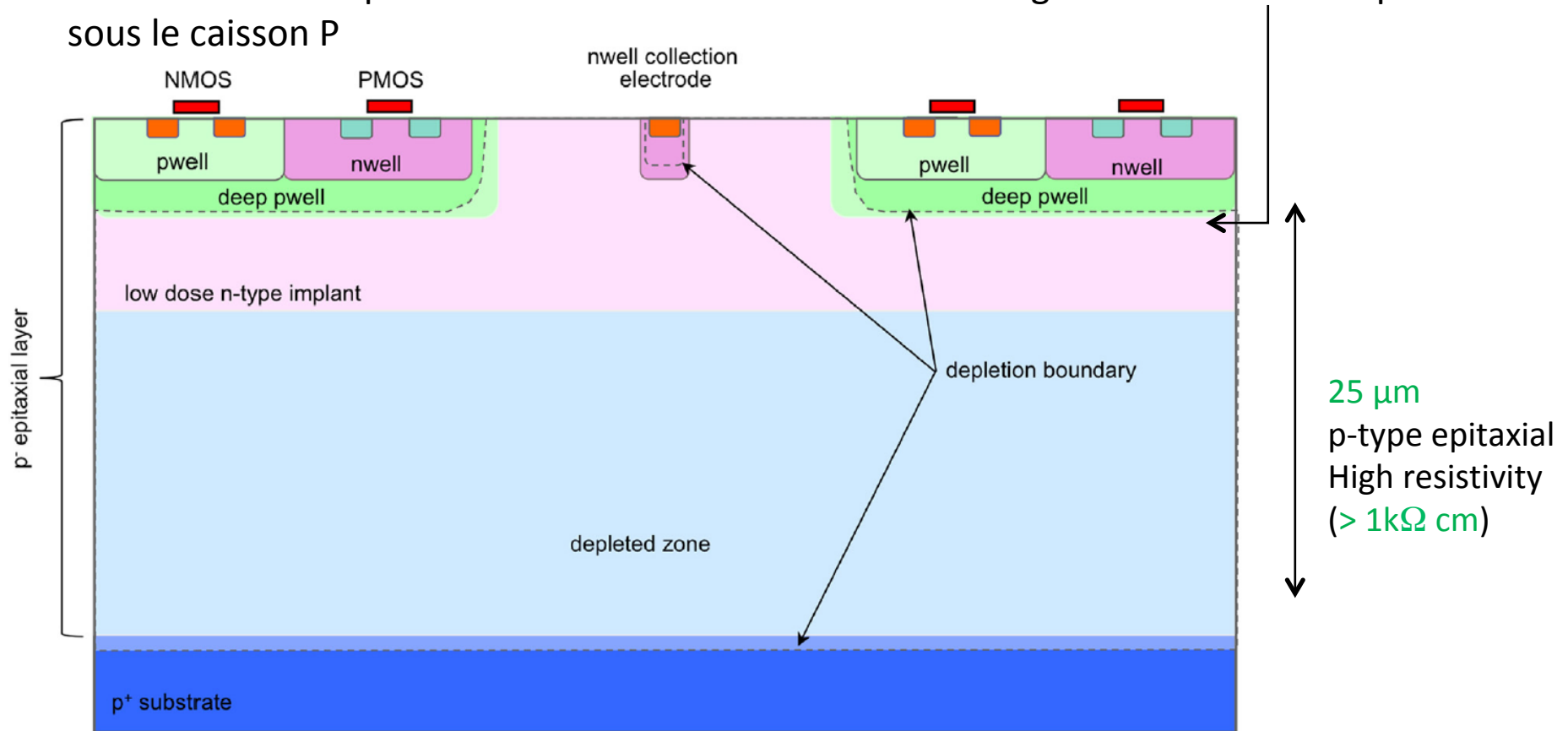
- Procédé 180nm CMOS pour capteurs d'image
- Circuit en dehors de la petite électrode de collection: (**petite C**), surface de circuit important, faible couplage entre l'analogique et le numérique



- Polarisation inverse pour une déplétion augmentée (à -6 V, la déplétion n'est pas complète)

# Procédé modifié

- Procédé modifié développé par ALICE/CERN en collaboration avec la fonderie
- Addition d'une implantation « n » à faible dose améliore significativement la déplétion sous le caisson P

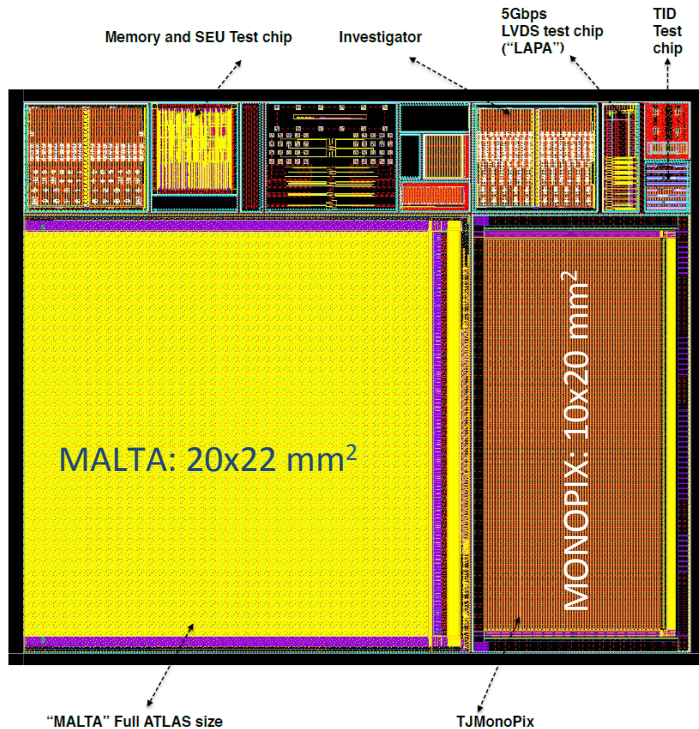


- Rend possible la déplétion complète
- Ne demande pas de modifications significatives du circuit ou du layout

DOI 10.1016/j.nima.2017.07.046



# MALTA & MONOPIX



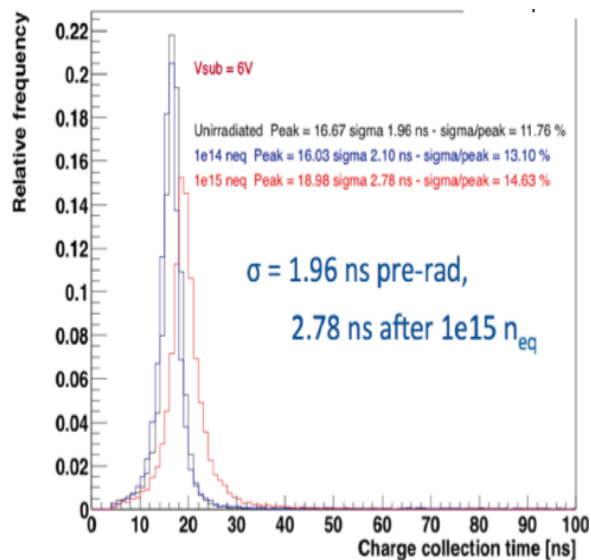
R&D: CERN, Uni. Bonn, MIND, maintenant rejoint par CPPM, IRFU, UniGe, Glasgow,...

Synergie entre ALICE, ATLAS et CLIC

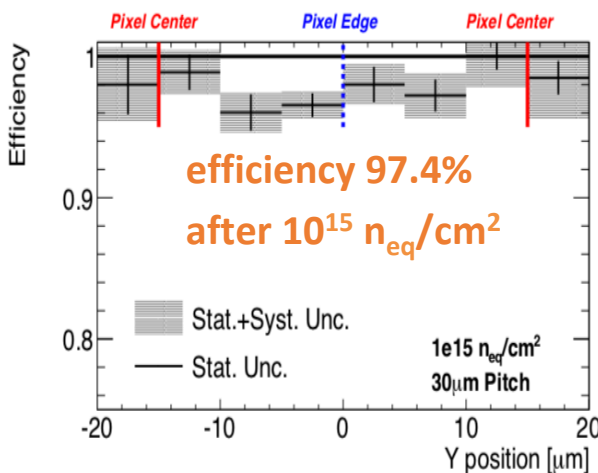
- Modification du procédé par ALICE.
- Mesures par ATLAS démontrent une tolérance à la radiation accrue jusqu'au niveau requis pour les couches externes pour du détecteur à pixel de l'upgrade ITK ( $\sim 10^{15}$  new/cm<sup>2</sup>) JINST 12 2017 P06008.
- Basé sur ces résultats, CERN et Uni. Bonn étant membre de la collaboration ATLAS CMOS Pixel ont développé deux nouveaux capteurs CMOS à pixels à pleine échelle (MALTA, MONOPIX) comme candidats potentiels pour équiper la 5ieme couche du détecteur à pixels ATLAS.
- Après simulations et mesures au faisceau avec le capteur INVESTIGATOR (développé par ALICE), CLIC prépare un prototype pour leur tracker (CLICTD) dans cette technologie.

# Mesures: (cfr K. Moustakas et al., Elba workshop on advanced detectors)

## 2017 INVESTIGATOR (procédé modifié)



Résolution temporelle semble ok à cause de la petite  $C_D$



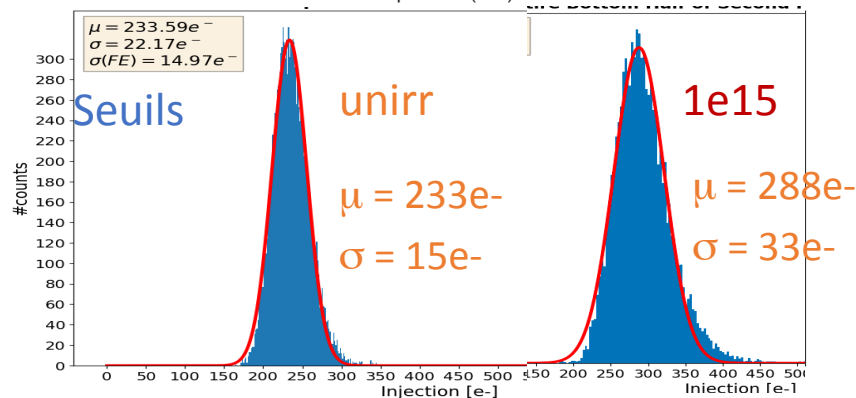
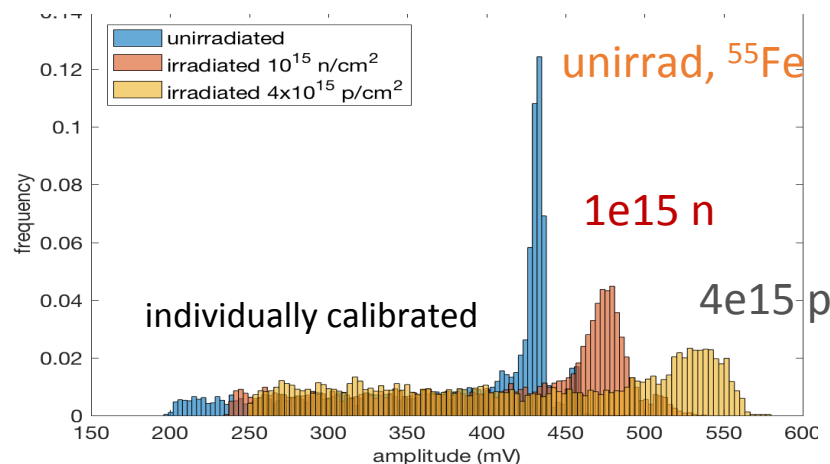
Efficacité apres irradiation OK ?

Question cruciale

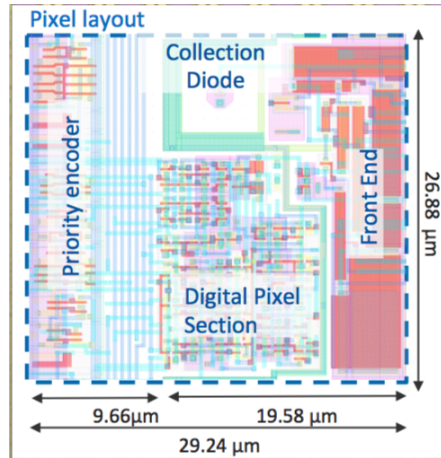
## 2018 TJ: meme FE, architecture de lecture differente: MALTA & MONOPIX

Mesures en cours (labo, faisceau, irradiations)

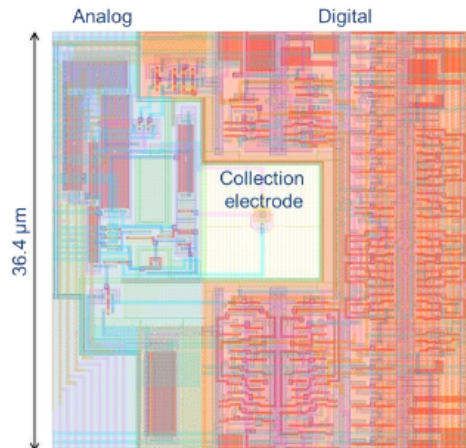
- Signal 1600 e (couche epi 25  $\mu m$ )
- ENC  $\sim 8$  e- et dispersion de seuil  $\sim 15$  e- à cause de la petite  $C_D$



# Performance: vers des technologies plus fines



Alpile pixel



MALTA pixel

## Maintenant dans 0.18 μm

$$Q/C > \sim 0.25 \text{ fC} / 5 \text{ fF} = 50 \text{ mV}$$

- ALPIDE: 40 nW/pixel (analogue)
- MALTA/Monopix: 1 μW /pixel (25ns)
- Consommation analogue dominante dans la matrice

Pas des pixels  $\approx$  épaisseur de la couche sensible  $\approx 30 \mu\text{m}$

- Résolution en position  $\sim 5 \mu\text{m}$

Capacité de la matrice au niveau de taux de particules:

- Matrice MALTA  $> 100 \text{ Mhit/mm}^2/\text{s}$

(mais la périphérie ne peut pas suivre)

## Technologies plus fines

Si on arrive à augmenter encore Q/C:

- La consommation analogue se réduira à zéro

Pas des pixels  $\approx$  épaisseur de la couche sensible  $\approx 5 \mu\text{m}$

- Position resolution  $\sim 1\text{-}2 \mu\text{m}$

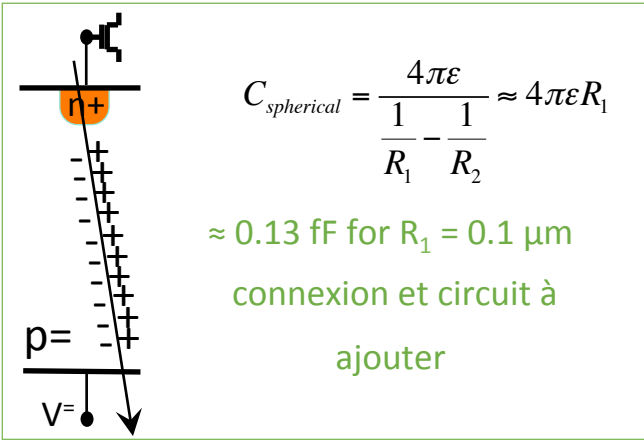
Reduction du temps de collection

- Meilleure résolution temporelle

Capacité de la matrice au niveau de taux de particules:

- 10's of  $\text{GHz/mm}^2$  (mais la périphérie doit être complètement revue)

# Basse consommation pour une masse très basse



$$C_{spherical} = \frac{4\pi\epsilon}{\frac{1}{R_1} - \frac{1}{R_2}} \approx 4\pi\epsilon R_1$$

≈ 0.13 fF for  $R_1 = 0.1 \mu\text{m}$   
 connexion et circuit à ajouter

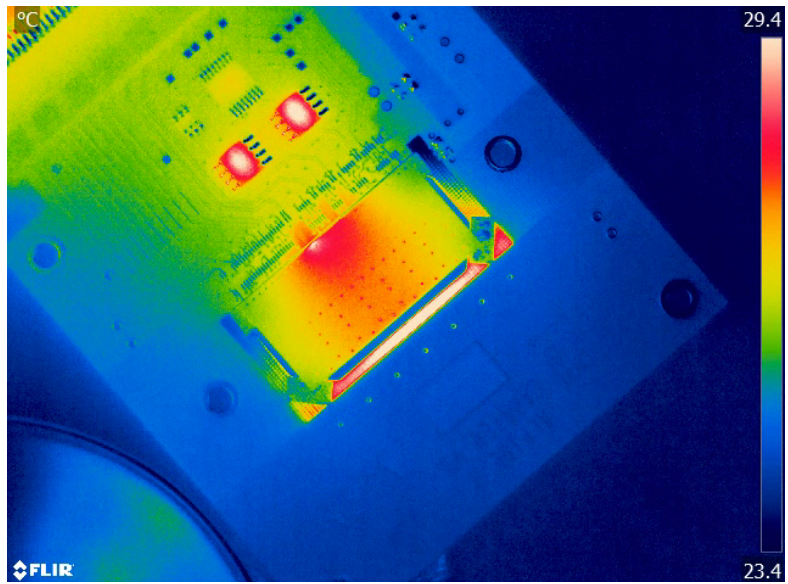
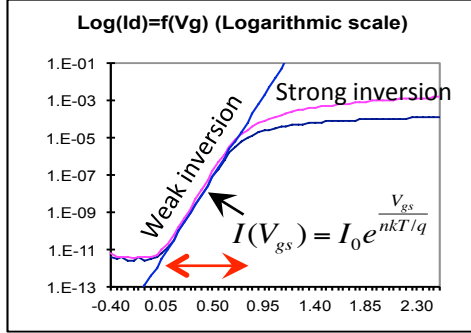
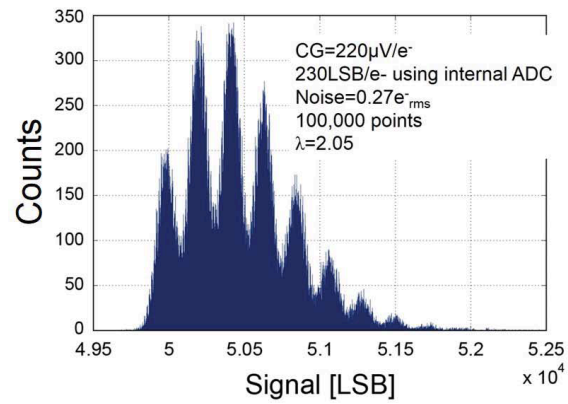
A partir des considérations de bruit : consommation analogique  $\sim (Q/C)^{-2}$   
 (NIM A 731 (2013) 125

- $Q/C \sim 0.24 \text{ fC} / 5 \text{ fF} \approx 50 \text{ mV}$  in ALPIDE (et MALTA/MONOPIX)
- Détecteur à strip conventionnel:  $Q/C = 4 \text{ fC} / 20\text{pF} = 0.2 \text{ mV}$
- $nkT/q = 40 \text{ mV}$  @ temperature ambiante => augmente Q/C encore pour exploiter la non-linearite dans le regime de faible inversion

Limiter l'activité numérique dans le circuit pour diminuer la consommation

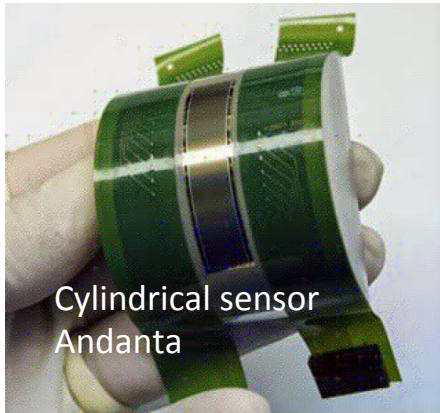
Transmission des données pourrait bien devenir dominante !

M.W. Seo and S. Kawahito EDL 2015

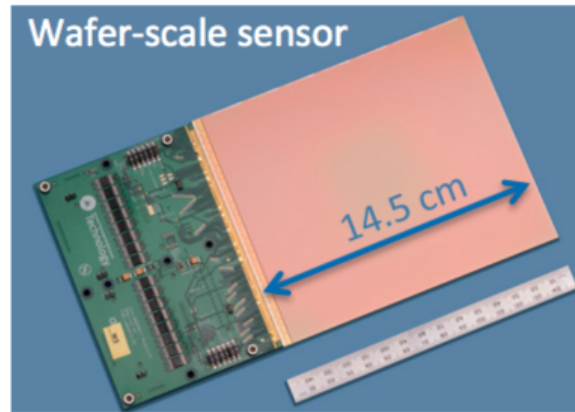


# Systèmes et surfaces à plus grande échelle

- « stitching » pour des capteurs plus large et des geometries speciales
  - Combination de capteurs pour les trackers de grande surface et pour une acceptance plus large
  - Exploitation de la flexibilité mécanique de capteurs minces dans des géométries cylindriques ou sphériques



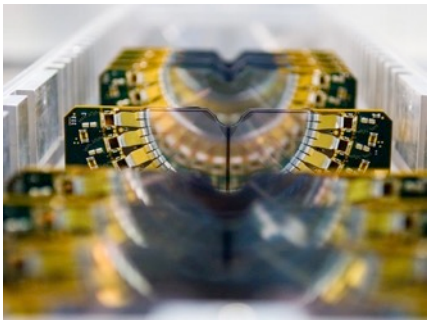
Cylindrically Curved CCD (Convex)



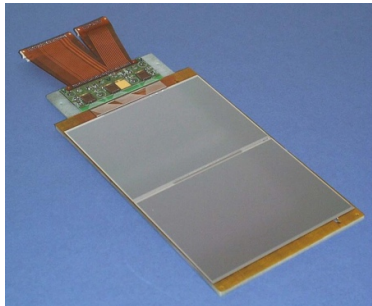
- Un avantage cle des capteurs CMOS est la capacite de production en volume sur des plaques 200/300mm

Il faut explorer de nouvelles solutions pour agréer les données et pour les transmettre E.g. module démonstrateur avec connexion de capteur en capteur et une lecture a haut débit en utilisant un circuit photonique (WG de transmission des données)

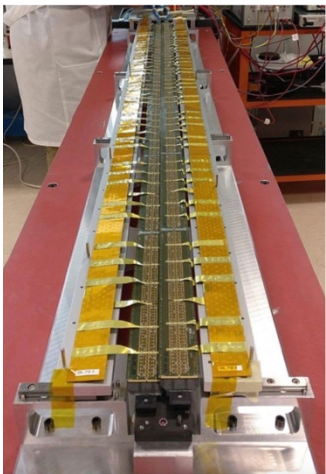
# Construction de modules, interconnexions,...



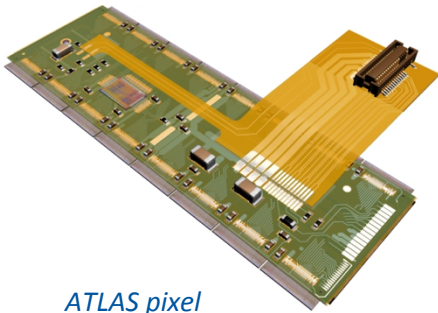
LHCb VELO



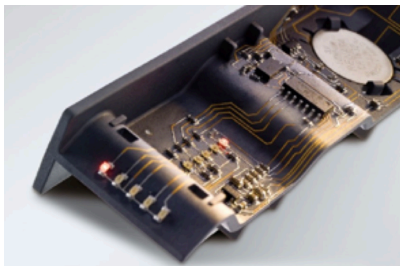
CMS Tracker



ALICE ITS stave

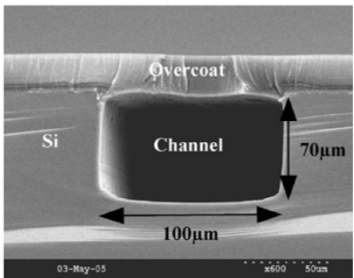
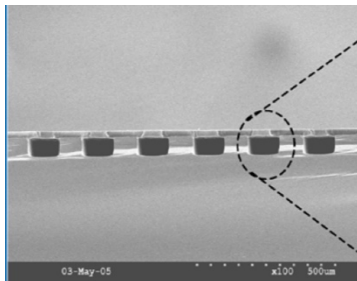


ATLAS pixel



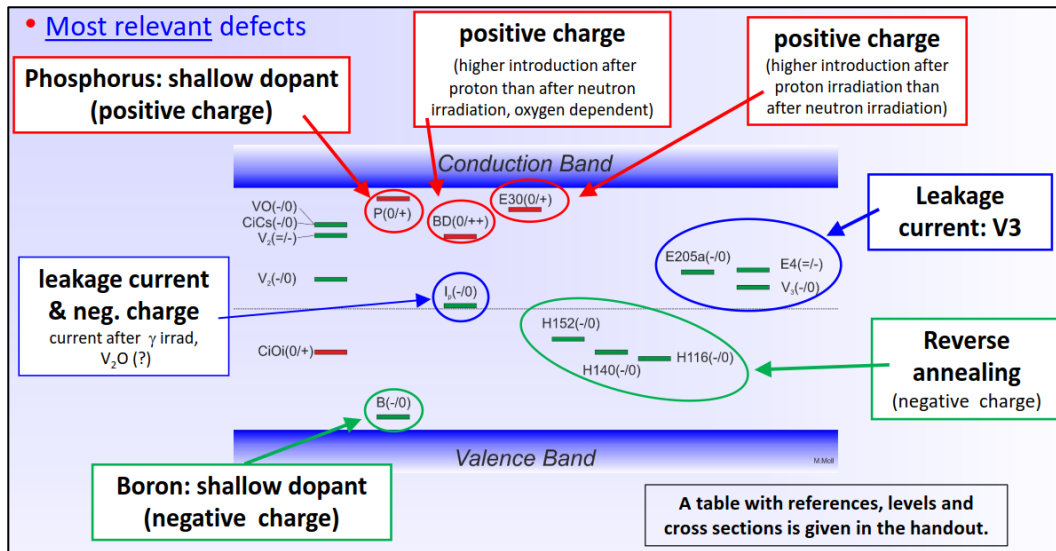
LED Professional, 13 Sep 2011, <https://goo.gl/aVklz0>

- **Construction de modules et interconnexion** est utilise dans tous les projets a des échelles différentes: nombre, complexité, environnement,...
- Implique **beaucoup de composants et technologies différents** (capteurs, interconnexions, colles, adhesifs, ASICS, PCB, supports, etc.)
- **Souvent fait « maison », mais il est important de développer les liens avec l'industrie**



# Importance des simulations

- Microscopic simulations for in-depth understanding of charge collection and radiation effects in silicon increasingly important: very high doses/fluences at HL-LHC, FCC; complex sensors (e.g. CMOS, LGAD)



M. Moll

- Significant progress on **defect characterization** over last decade
- **knowledge** about defects is essential to understand the physics of radiation damage and to perform device simulations and **defect engineering**

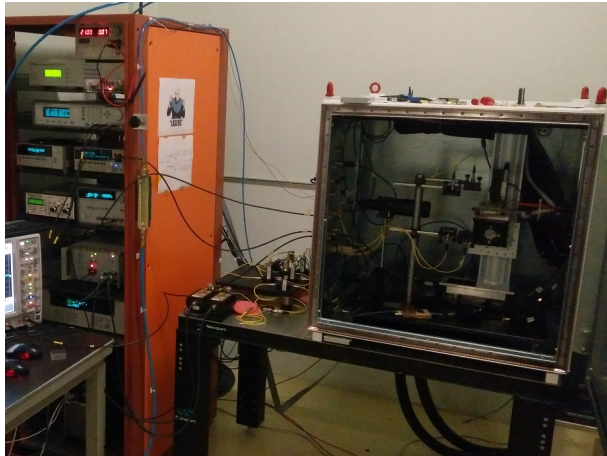
## • Future R&D with CERN involvement (RD50):

- Full identification of the structure of the defects
- Predictive Modelling, improved TCAD simulations
- Defect generation and modelling at very high fluences
  - Note: Many characterization tools don't work properly for extreme fluences
- Better radiation background simulation → reduction of safety factors

# Importance des techniques de caractérisation

- New challenges:
  - Sensors getting smaller and more integrated + have new functionalities (e.g. gain)
  - Harder to access processing properties (e.g. CMOS)
  - Environment gets harsher (higher fluences)
- Characterization tools have to follow
  - Highly specific tools within our community:  
**advanced TCT, beam telescopes, flexible r/o systems, ...**

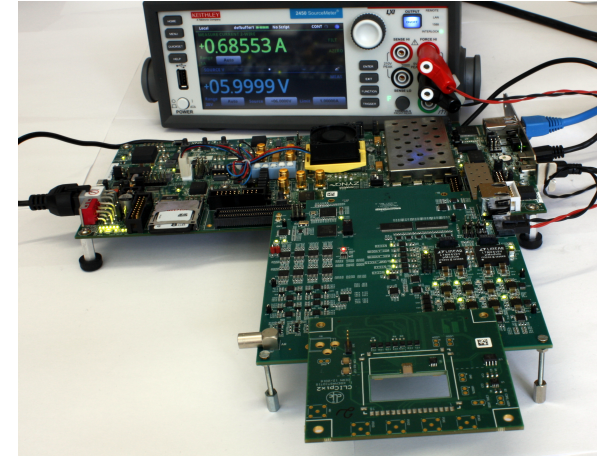
*TCT – Transient Current Technique*



*High-rate beam telescope*



*CaRIBOU universal r/o system*





# et de l'infrastructure et de l'instrumentation

- **R&D on silicon needs a cleanroom** - adequate size, flexible to house several activities for different durations (DSF: class 100.000 cleanroom, ideally located near the bondlab and the QARTlab → maintain and upgrade parts as required
- **Irradiation Facility** (and GIF++) are key elements for the R&D and validation of novel detectors → increasing number, longer and more complex irradiations
- **QART lab** (reliability)

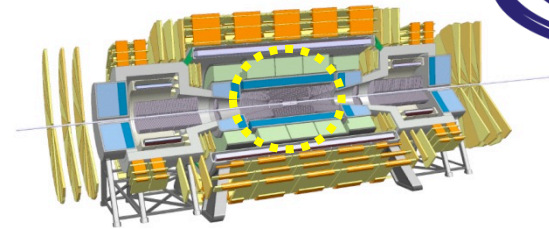
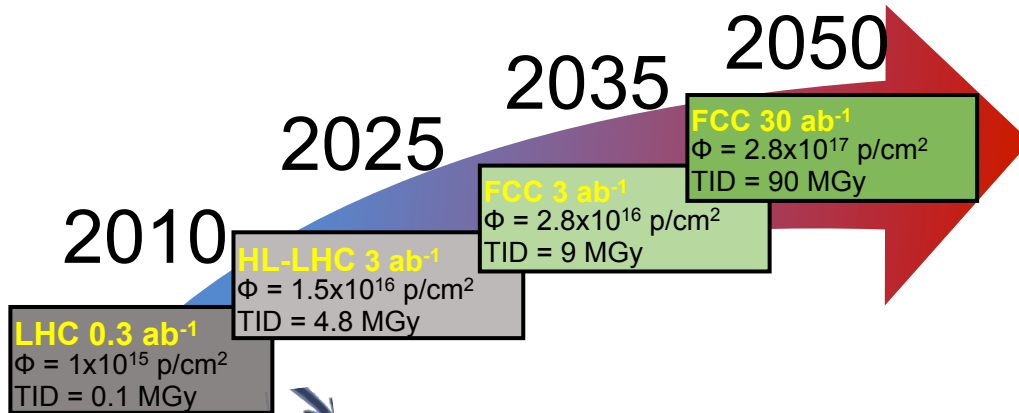


## IRRAD 2017

Registered experiments	46 ( <b>3 postponed</b> )
Users / user teams	32
User institutes	19
<b>Irradiated objects</b>	<b>802</b>
<b>Measured Al-foils dosimeters</b>	<b>&gt;600</b>
Max requested fluence	$1 \times 10^{17}$ p/cm <sup>2</sup>

# Dosimetric

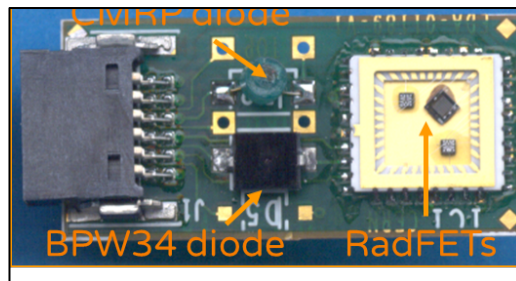
- EP Radmon project: >250 sensors supplied to LHC experiments
- Increasing fluences/doses call for new dosimeters



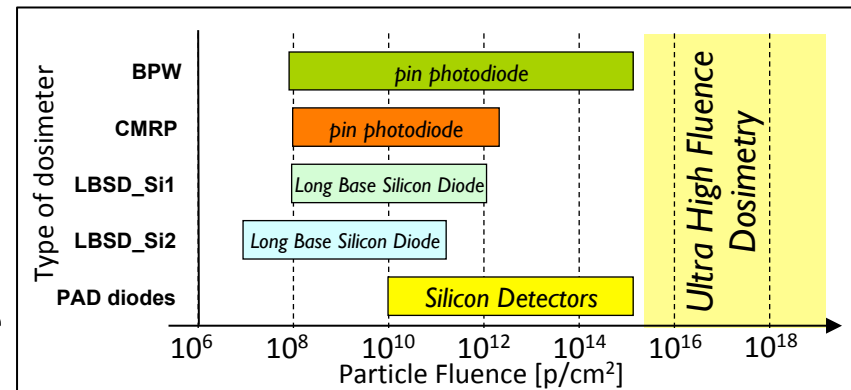
During 10 years of operation, in the **detectors** of FCC (30 ab<sup>-1</sup>):

- ▶ Extreme fluence up to  **$\sim 3 \times 10^{17}$  p/cm<sup>2</sup>**
- ▶ Very high dose of  **$\sim 100$  MGy**
- **No solutions today** for dosimetry at such high levels!

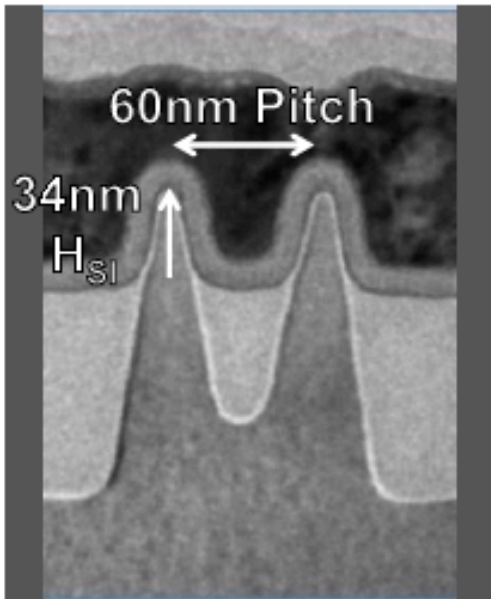
M. Moll



- Need to keep radiation monitoring knowledge + expertise at CERN and match future needs

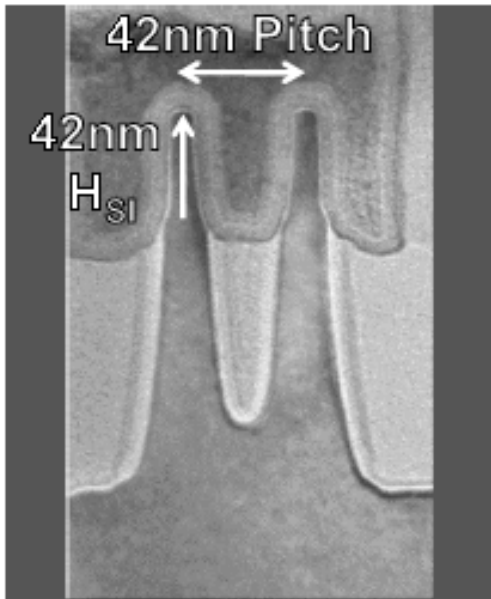


# Technologies CMOS FinFET



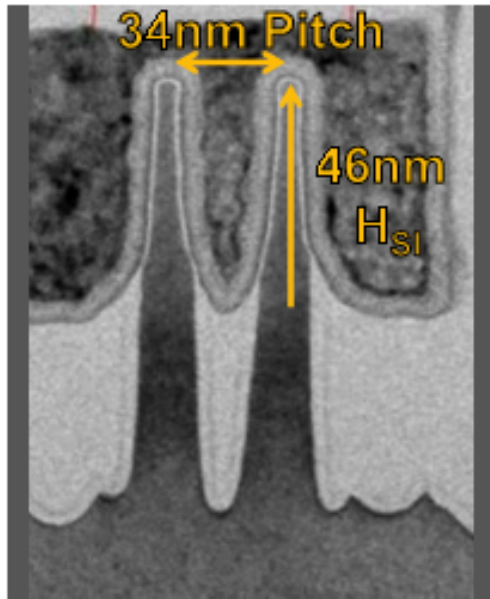
**22nm Process**

*1<sup>st</sup> Generation FinFET*



**14nm Process**

*2<sup>nd</sup> Generation FinFET*



**10nm Process**

*3<sup>rd</sup> Generation FinFET*

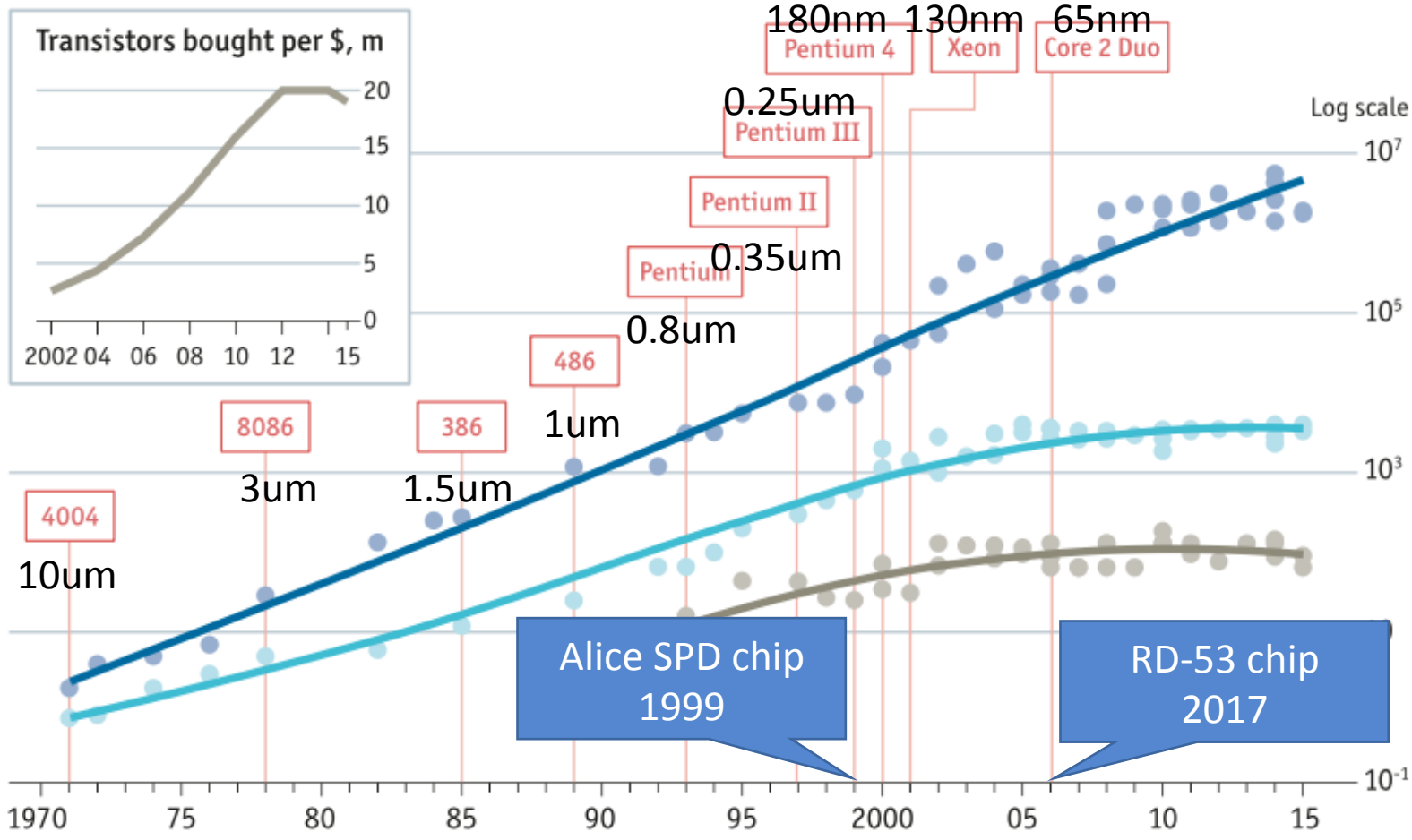
Intel 10nm technology: 54nm contacted poly pitch, 34nm fin pitch and 46nm fin height  
Fins are tighter, straighter and taller for better SCE, I<sub>d</sub> and matching

➔ Zheng Guo et al. Intel. paper 11.1

Slide by E. Heijne  
From ISSCC 2018

## Stuttering

● Transistors per chip, '000 ● Clock speed (max), MHz ● Thermal design power\*, w □ Chip introduction dates, selected



Sources: Intel; press reports; Bob Colwell; Linley Group; IB Consulting; *The Economist*

\*Maximum safe power consumption

# Conclusions

---

Le département EP au CERN a commencé une réflexion sur la R&D pour le futur avec les autres instituts  
« work in progress »

Les technologies CMOS nous ont apporté le circuit, le capteur et tolérance à la radiation

Les technologies plus fines devraient nous apporter:

- ~ 1  $\mu\text{m}$  résolution spatiale, consommation plus basse, et résolution temporelle de précision
- Plus de couches de métaux et plus de densité
- Plus de débit et de bande passante
- Meilleure résolution temporelle
- Mais... complexité accrue

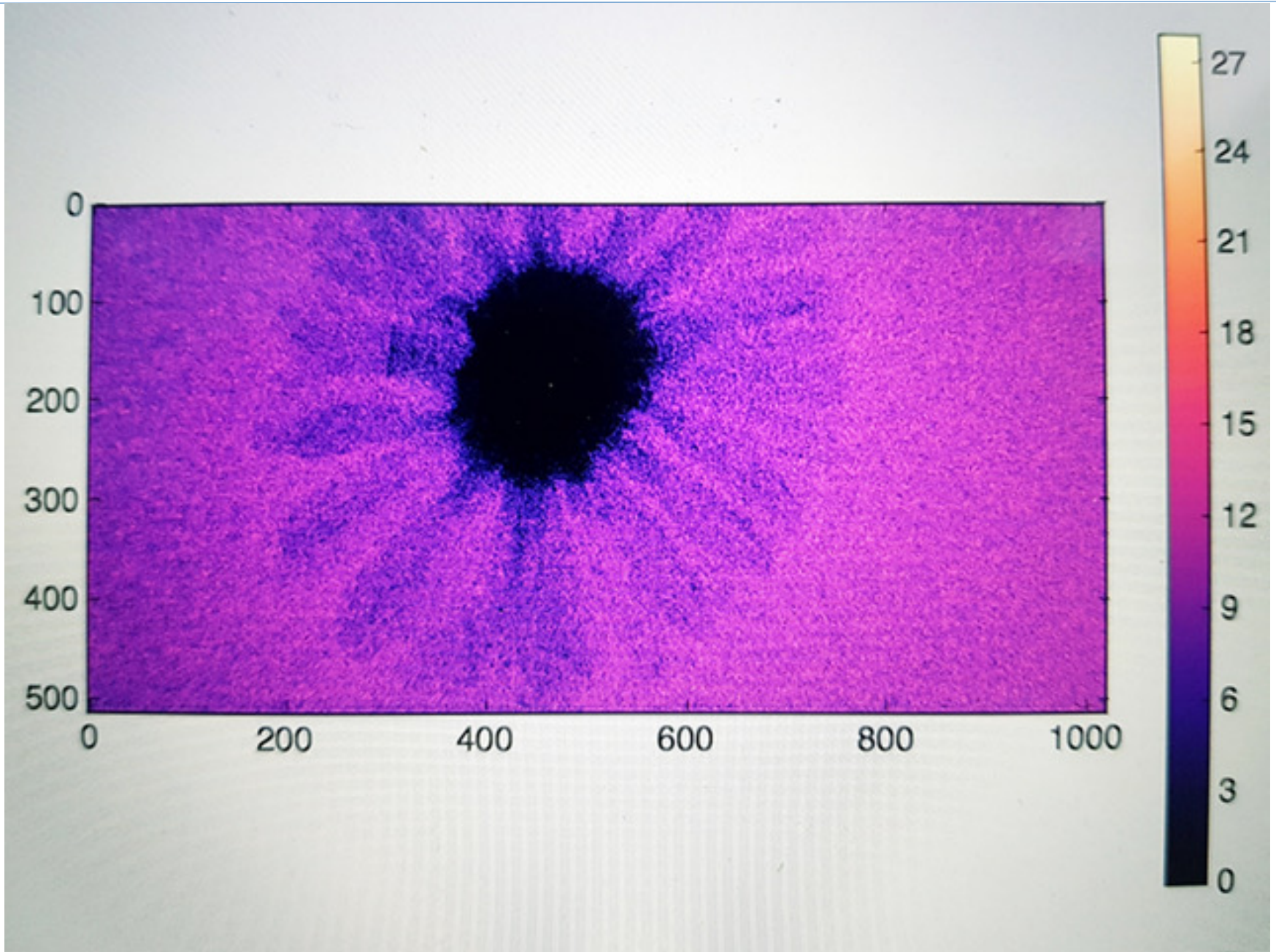
Activités de R&D très importantes:

- Conception de circuits, perspective système
- Caractérisation de la tolérance à la radiation, microscopique et macroscopique (effort considérable)
- Modélisation TCAD
- Construction de modules
- Nouveaux concepts de capteurs (LGAD) 4D tracking
- ...

Resources:

- Fonds suffisamment importants pour financer des « engineering runs », et le support, contrats cadres, etc..
- Des équipes avec du personnel expérimenté
- Infrastructure adéquate
- Bonne relation avec les fonderies et l'industrie en générale

Merci beaucoup!



# Conclusions – WG1 Silicon Detectors

Silicon detectors are a large and very diverse community.

We have established contact with experts and organised a kick-off meeting beginning of March to explore the landscape of activities.

A first topics list of techniques and technologies used and under study has been established and was presented today.

We are looking forward to your contribution, comments and suggestions!

# Backup slides



# Radiation hard CMOS sensor

$$d \sim \sqrt{\rho \cdot V}$$

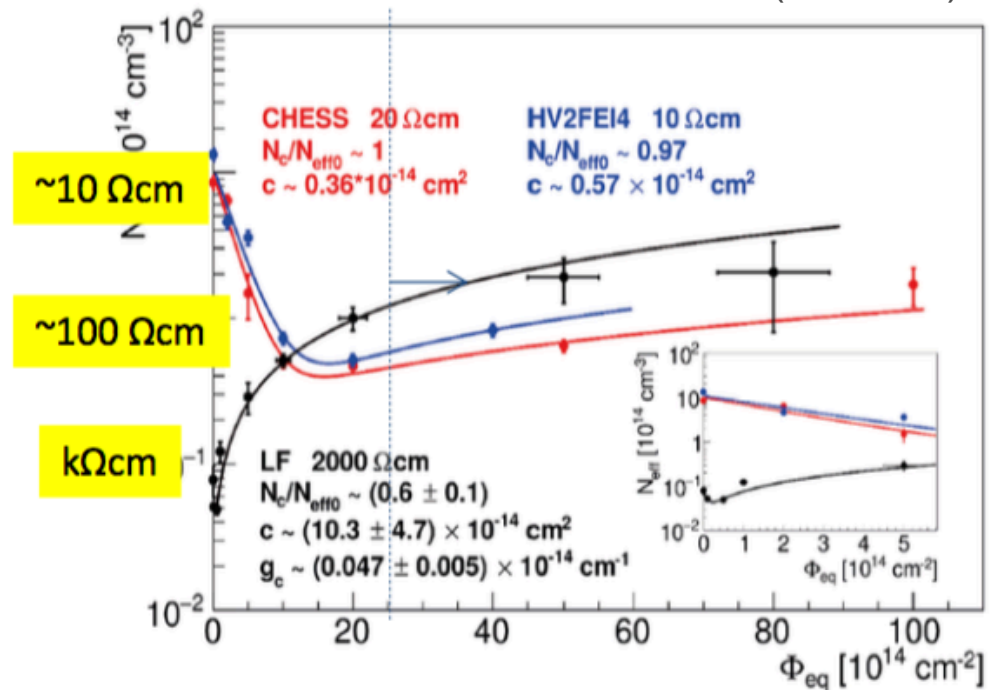
I. Peric, NIM A582 (2007) 876-885

**1** "High" Voltage add-ons to apply 50 – 200 V bias

**2** "High" Resistivity Substrate Wafers (100 Ωcm – kΩ cm)

**3** Multiple (3-4) nested wells (for shielding and full CMOS)

Effective resistivity after HL-LHC irradiation  $\sim O(100\Omega\text{cm})$



**4** Backside Processing (for thinning and back bias contact)

I. Mandic et al., JINST 12 (2017) no.02, P02021



# CMOS and calorimeters

Possible applications to digital calorimetry

Example in ALICE: measurement of direct photons at forward rapidities in p-A collisions at LHC with ALICE

**FoCal-E:** high-granularity Si-W calorimeter for direct (isolated)  $\gamma$ ,  $e^+e^-$  ( $J/\psi$ ) and  $\pi^0$

**FoCal-H** hadronic calorimeter for photon isolation and jets

**Location**  $z \approx 7\text{m}$  (outside magnet)  $\rightarrow 3.3 < \eta < 5.3$

main challenge: separate  $\gamma/\pi^0$  at high energy

Demonstrator based on MIMOSA pixel chip

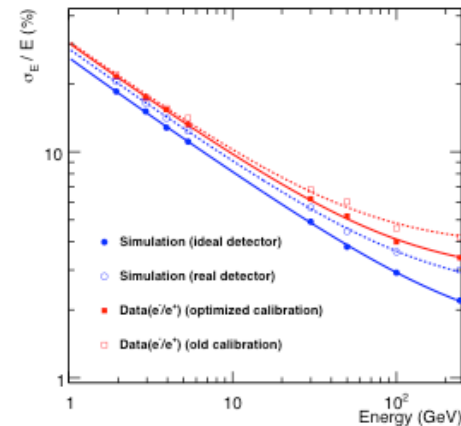
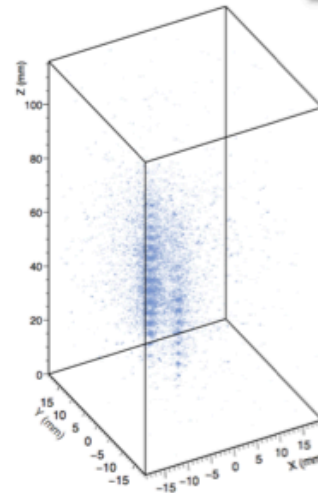
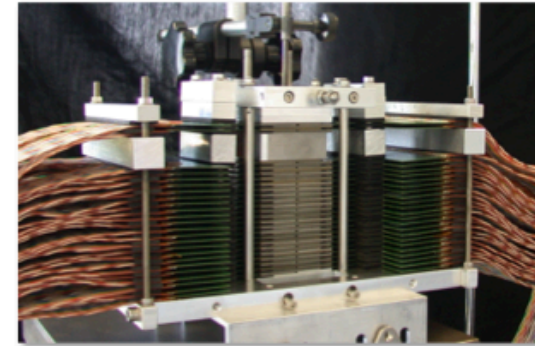
- 39M pixels, 30 $\mu\text{m}$  pitch

Systematic test

- Beam tests from 2 to 250 GeV/c (DESY, CERN PS & SPS)
- Cosmic muons

excellent spatial resolution and energy resolution

20-layer pixel detector prototype



# Conclusions

- Hybrid Pixel Detectors (HPD) profit better from the continuous miniaturization in CMOS technologies independently from the sensor developments
- The use of 3D-IC bonding techniques will bring to live 3D developments and large area detectors with no dead area
- The Medipix4 Collaboration aims to design 2 4-side buttable ASICs:
  - Medipix4 (2019/20)
    - Pixel  $<70/140 \mu\text{m}$
    - Improved energy resolution ( $1/2$ ) and count-rate (x5) compared to Medipix3RX
    - Number of thresholds not defined
  - Timepix4 (2018/19):
    - Particle tracker AND Imaging chip with 1 threshold
    - Improved energy resolution (x2), arrival time resolution (x8) and count-rate (x4) compared to Timepix3

# Hybrid - Interconnection

- Hybrid pixel detectors are costly because of cost of die-die interconnection
- New interconnection technologies use wafer-wafer or wafer-die
- Examples copper-copper direct bonding (e.g. IMEC, LETI) or hybrid direct bonding (Ziptronic DBI)
- Wafer level assembly requires through silicon vias (TSV) to bring electrical connections
  - Via-last examples by e.g. LETI for TimePix/ Medipix or IZM for ATLAS FEI4
- All these technologies are industry-driven and we are technology users
- Very good relation to dedicated industry in longer-lasting projects are essential to gain satisfactory results for HEP

